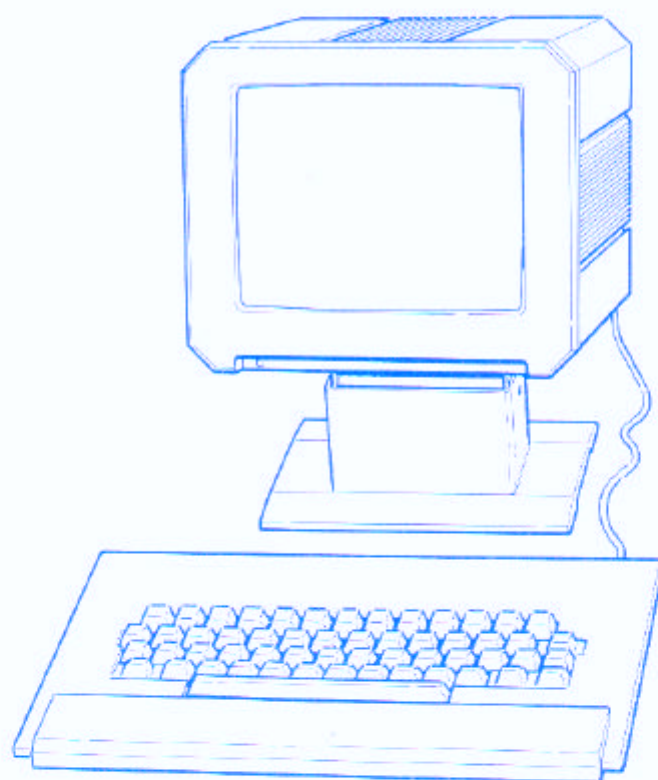


LUXOR
Datorer

Dator ABC 802 230 8088-15

Servicemanual



Skall vara tom

INNEHÅLL

1	INLEDNING.....	4
2	TEKNISKA DATA OCH BLOCKSCHEMA.....	6
3	TEKNISK BESKRIVNING, Allmän del (dator).....	9
4	TEKNISK BESKRIVNING, BILDSKÄRM.....	12
5	STRÖMFÖRSÖRJNING.....	16
6	MINNESDISPOSITION.....	18
7	ANSLUTNINGSDON OCH ABC-BUSSEN.....	20
8	ABC NET.....	23
9	DEMONTERING.....	24
10	RESERVDELSLISTA OCH KOMPONENTFÖRTECKNING.....	26
11	TEKNISK BESKRIVNING, Fördjupningsdel.....	33
	Z80-A.....	34
	I/O- och XMEM-kontroll.....	42
	RESET, NMI och INT.....	44
	64 kbyte RAM läs och skrivminne.....	46
	32 kbyte ROM läsminne.....	48
	CTC.....	51
	SIO/2 och DART.....	57
	CRTC.....	66
	Systemklocka.....	76
	Videominne och teckengenerering.....	77
	CPU läsn. och skrivn. i bildminne.....	82
	Tangentbordet	84
12	KRETSSCHEMA.....	89

1. INLEDNING

ABC 802

ABC 802 är den "minsta" datorn i ABC 800-serien från Luxor Datorer AB. Datorn ABC 802 består av två enheter, dels en bildskärm som innehåller datorn, dels ett tangentbord av lågprofiltyp. Tangentbordet är utrustat med en egen mikroprocessor som sköter om avsökning av tangenterna samt kommunikationen med datorn. Kommunikationen mellan tangentbordet och datorn är dubbelriktad, vilket ger möjlighet att från programvaran styra vissa funktioner. Se vidare i bruksanvisningen för ABC 802. Bildskärmen är vridbar för bästa läsbarhet.

Antalet tecken som presenteras per rad kan väljas godtyckligt mellan 1 - 80 tecken. Upp till 40 tecken/rad, övergår bildgenereringen till en förstorad teckenmod, varvid bildskärmen blir enligt TELEDATA-modell, som ABC 80 och ABC 800 C.

Blockschemamässigt är ABC 802 uppbyggd som en monokrom ABC 800.

Det DOS, Disk Operativ System, som ABC 802 är utrustad med är av typen UFD, Users File Directory, vilket medger att flera biblioteksnivåer kan byggas upp, samt att DOSet klarar alla typer av massminnen (ABC 830, ABC 832, ABC 838) samtidigt. Det är t ex fullt möjligt att kopiera flexskivor från ABC 830 till ABC 838, om de är inkopplade samtidigt. Se vidare i manual för UFD DOS.

ABC 802 har inbyggd hårdvara, för anslutning till ABC NET. ABC NET är ett lokalt datornät där man kan ansluta upp till 32st ABC-datorer mot ett gemensamt massminne. Det är också möjligt att ansluta en gemensam skrivare till nätet. Mer om ABC NET längre fram i manualen.

Tillförlitlighet.

Vid konstruktionsarbetet med ABC 802 har stor vikt lagts på tillförlitlighet och ergonomi samt servicebarhet.

Grunden för hög tillförlitlighet är låg temperatur i enheten. Det gör att valet av komponenter är viktigt. I ABC 802 har använts kretsar av senaste teknologi. Bildminnet och dess buffertkretsar är av Hi-speed C-MOS typ vilket ger mycket låg effektutveckling. RAM-minnet är av dynamisk typ. Övriga TTL kretsar är av LS (Low power Schottky) och ALS (Advanced Low power Schottky) vilket ger låg drifttemperatur i datorn.

Mekaniken är utformad så att nätdelen, som har en verkningsgrad över 65%, är placerad baktill på bildskärmen. Luftintag finns på undersidan framtill där luften går in, vidare över och under processorkortet, upp runt nätdelen för att sedan passera ut upptill på baksidan. Aluminiumkåpan är också en bra värmeavledare. Den skyddar dessutom mot störande strålning från datorn.

Ergonomi.

ABC 802 är försedd med tangentbord av lågprofiltyp enligt Svensk Standard SS 662241. Avståndet mellan bordsytan och toppen på tangenterna i "ASDFGHJKLÖÄ"-raden är 30 mm. Bildskärmen är vrid och lutbar i förhållande till tangentbordet. Den är också antireflexbehandlad.

Servicebarhet.

Processorkortet är lätt demonterbart för service. Kretskort för avlänkning, video och nätdel är lätt åtkomliga för service genom att avlägsna bakstycke och kåpans övre halva. Se kap 9 DEMONTERING.

2. TEKNISKA DATA.

Bildskärm med dator.

Dimensioner:

Bildskärm 210 x 240 x 315 (h x b x d)

Fot 88 x 200 x 160 (h x b x d)

Vikt 8kg

Reglage Nätströmbrytare, ljus- och volymkontroll

Nätanslutning Kraftförsörjning med primärswitchad kraftenhet.
Leveransinställd för 230V +/-15%.
Säkring 0.5A. Kraftenheten kan byglas om för 115V +/-15% med säkring 1.0A.
Frekvens 40 till 60Hz.
Max anslutningseffekt 60W.

Datoruppbyggnad Datorkort 200 x 233mm, 4-skikt.
CPU
CTC
DART
SIO/2
ROM (systemprogramminne)
RAM (användarminne)
Ljudgenerator
Teckengenerator
Kassettanslutning
Kommunikationsanslutning, 2st
ABC-bussanslutning
Tangentbordanslutning
Monitoranslutning

Minnen ROM: 24k BASIC-interpretator
4k DOS (diskoperativsystem)
4k printer och terminalrutin
m.m.

RAM: 64k, 32k primärminne och
32k datalagringsminne (RAM-floppy)
2k bildminne

Går att ställa om till RAM-laddad dator för t.ex andra operativsystem som CP/M.

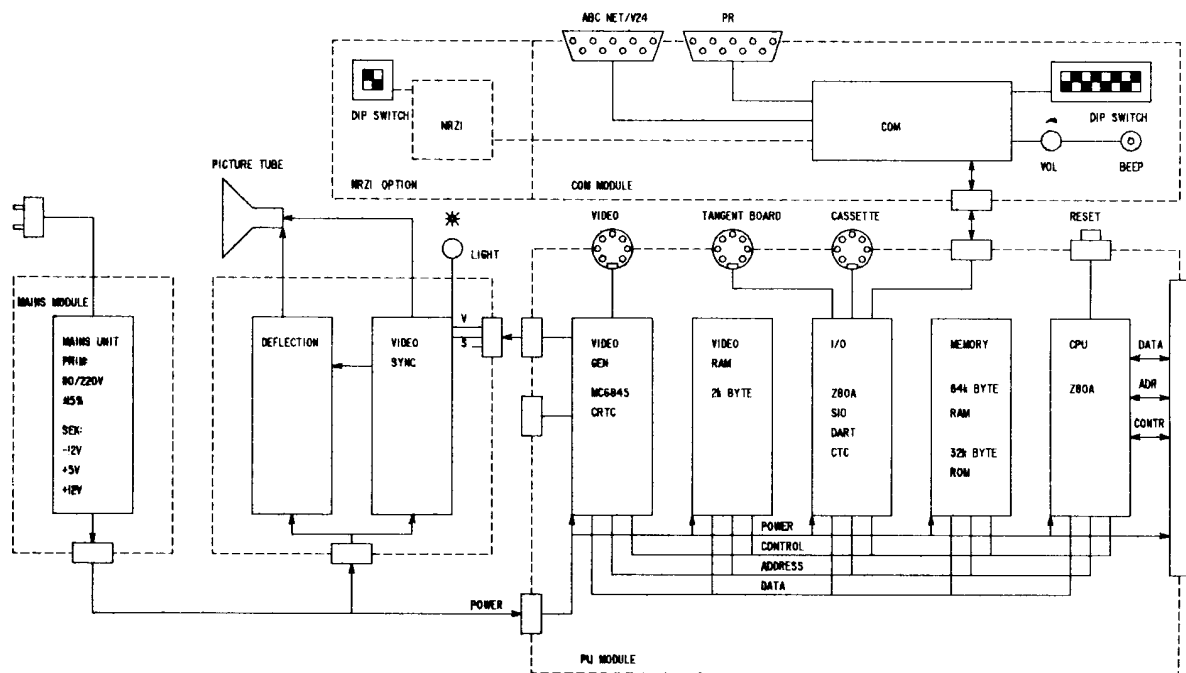
Centralenhet,CPU

Mikroprocessor Z80A
Ordlängd 8 bitar
Klockfrekvens 3 MHz

Programspråk	BASIC II, se separat manual
Ljudgenerator	Programstyrd summer
In- och utmatning: Kassettanslutning	Överföringshastighet 700/2400 baud
Kommunikations- anslutning CH.A	Asynkron överföring. Programmerbar hastighet 75-19200 baud. Avsedd för skrivare.
Kommunikations- anslutning CH.B	Synkron/asynkron sändning och/eller mottagning. Programmerbar hastighet 75-19200 baud. Möjlighet till olika sändnings- och mottagningshastighet finns. Avsedd för kommunikation. Olika typer av datorkommunikation väljs med omkopplare.
ABC-buss	För anslutning av flexskiveenhet, expansionskort m.fl.
Monitoranslutning	Kompositvideo och ljud för standard TV-mottagare
ABC NET	Maskinvaran för ABC NET ingår som standard
Kontaktidon	Tangentbord, 7-polig DIN Bildskärm extern, 6-polig DIN Kassettanslutning, 5-polig DIN Kommunikationsanslutning CH.A och CH.B, 9-polig D-sub. ABC-buss, 64-polig Europakontakt
Miljökrav: Drifttemp.	+5 till +35 grader C
Lagringstemp.	-40 till +55 grader C
Fuktighet	10 till 85% relativ fuktighet
Driftsäkerhet	MBTF > 10000 h
Teckengenerator: Bildformat	24 rader med 80 alt. 40 tecken
Teckenformat	Teckencell, 10x6 punkter Teckenmatris, 9x5 punkter
Tecken	96 st ISO
Grafik	64 tecken enl. TELEDATA-modell Grafikupplösning max 72x158 punkt.
Markör	Blinkande "underline", fast vid skrivning, eller efter ca 5 sek om markören inte flyttas.

Scrolling	Automatisk rullning uppåt av sidan
Videoattribut	Inverterad video (positiv text)
Bildrör	240mm (10 tum), 90 graders avlänkning. Textyta 160 x 120mm Fosfor amber (orange) L5C Högspänning 9 kV Linjäritet +6% RLF Distorsion < 2%
Säkerhet	SEMKO, DEMKO, NEMKO, FI

Fig. Blockshema



3. TEKNISK BESKRIVNING

Allmän del.

Här tar vi upp funktionsbeskrivningen rent allmänt för att ge en översiktlig bild av funktionen i ABC 802. För de som vill fördjupa sig ytterligare i de olika funktionerna finns det en fördjupningsdel längre fram i manualen.

Datordelen i ABC802 är uppbyggd på ett 4-skikts multi-layerkort, och är placerat i monitorn.

Z80A	Microprocessor Z80A som via adress och kontrollbuss styr databussen. Processorns adressbuss är enkelriktad, och via en buffert framdragen till den 64-poliga busskontakten samt genom en annan buffert framdragen till RAM- och ROM-minne och CRTC. Databussen är ansluten till den 64-poliga busskontakten genom en dubbelriktad buffert, vars riktning styrs från I/O och XMEM-kontroll.
I/O- och XMEM-kontroll.	Avkodar alla I/O-adresser från processorn och genererar interna och externa I/O-strobar. Som interna I/O-enheter räknas CTC, SIO/2, CRTC och DART.
RESET.	RESET genererar systemreset vid nät-tillslag samt när resetknappen aktiveras.
NMI och INT.	Kontrollerar styrsignalerna NMI, INT och WAIT till processorn.
32 kbyte ROM/PROM läsminne med kontrollkretsar.	ROM-arean, som är uppdelad i 4 block om vardera 8 kbyte, avkodas av kontrolldelen. En speciell avkodning görs av ett bildminne på 2kbyte statiska RAM. Även avkodningen av externt minne görs här. Data läses av processorn via en buffert för ROM. RAM-minnet ligger direkt på databussen.
64 kbyte RAM läs- och skrivminne med kontrollkretsar.	Minnesarean är uppdelad i två block om vardera 32 kbyte. Kontrolldelen genererar de styrsignaler som behövs för läsning och skrivning samt refresh av minnet. Den undre minnesbanken på 32 kbyte ligger parallellt med ROM-arean, och kopplas in och ur med "bank switching".

CTC	CTC är en programmerbar timerkrets, som genererar klocksignaler, vilka används för att styra överföringshastigheten på de seriella kommunikations-kretsarna, samt realtidsklockan i systemet.
SI0/2	SI0/2 är en seriell in/ut-krets med två kanaler. Kretsen kan överföra data i synkron eller asynkron form. Den ena kanalen används för generell kommunikation med yttre enheter och är ansluten till en 9-polig V24-kontakt, benämnd kanal B (CH B). Den andra kanalen används för överföring av data till kassetminne via ett interface som omvandlar den asynkront kodade signalen till ett format som kallas FM eller DF.
DART	DART är också en krets för seriell kommunikation. Skillnaden mellan SI0/2 och DART är att DART:en bara kan överföra data i asynkron form. Kretsen har två kanaler, där den ena är utdragen till en 9-polig V24-kontakt, benämnd kanal A (CH A). A-kanalen används vanligtvis för anslutning av skrivare. Till den andra kanalen är tangentbordet anslutet via en 6-polig DIN-kontakt.
CRTC	CRTC är den krets som styr video och synk generering. Kretsen är programmerbar för: <ul style="list-style-type: none"> -antal tecken/rad -antal rader/bild -vertikal och horisontell frekvens -marköradressering <p>Kretsen genererar också adresser för avsökning av bildminne, linjeadresser för teckengenerator. Vidare finns en ingång för ljuspenna.</p>
Systemklocka	I systemet finns en kristalloscillator på 12 MHz. Den frekvensen delas sedan ned i ett antal steg. De viktigaste frekvenserna är 6 MHz som används bl a för teckengenerering och 3 MHz som är CPU:ns klockfrekvens.
Strömförsörj.	Datorn får sin kraftförsörjning från en primärswitchad nät-del. Den kan anslutas till nätspänningar på 110 volt och 220 volt med endast en omkoppling och byte av nätsäkring. Utspänningar från enheten

av nätsäkring. Utspänningar från enheten är +5V 2.5A, +12V 2.0A och -12V 0.1A. Dessa spänningar utgör systemets matningsspänningar. Nätdelens sekundärsida är galvaniskt skild från primärsidan.

4. TEKNISK BESKRIVNING, BILDSKÄRM

Allmänt. Monitor delen i ABC 802 liknar i stora delar vår monitor ABC 816. Den är heltransistoriserad och helt uppbyggd på kretskort vilket tillsammans med avancerade kretsar, svarar för hög tillförlitlighet och kvalitet.

FUNKTIONSBESKRIVNING.

Videoförstärkare. Videoförstärkaren består av transistorerna TB01 och TB02. De drivs av grindarna i IB01 via CB02 och CB03.

Blanking.

Pulserna för vertikal och horisontal blanking förstärks i transistor TB03. Pulserna för horisontal blanking tas från stift 3 på linje-transformatorn, medan de vertikala pulserna tas från stift 3 på TDA 1170.

Vertikal avlänkning.

Vertikal avlänkning genereras från IC TDA 1170, som driver erforderlig ström genom avlänkningsspolen. TDA 1170 innehåller också vertikal-oscillator, sågtandsgenerator och drivkretsar.

Bildfrekvens.

Bildfrekvensen är normalt 50 Hz.

Bildhöjd.

Bildhöjden justeras med PA 01.

Centrering.

Rastret kan flyttas, i förhållande till bildskärmen, med ringmagneterna på avlänkningsenheten.

Synkronisering.

Synkpulser, positiva eller negativa, går in till stift 8 på TDA 1170.

Horisontal av-
länkning.

Horisontalavlänkningen styrs från TA 03, som driver erforderlig ström till horisontal-avlänkningsspolen. Linjetransformatorn ger, förutom högspänning och spänning till elektroderna på bildröret, även hjälpulser för synkronisering, likspänning till videoslutsteg etc.

Synkronisering.

Vertikal och horisontala synkpulser går till stift 9 på TDA 2591. Dessa pulser ska alltid vara positiva. TDA 2591 innehåller en synkseparator, varför det är möjligt att ha sammansatt video in till stift 9, då pulserna sedan separeras i TDA 2591. Vertikal synkpulserna tas ut från stift 8.

Linjefrekvens.

Den nominella linjefrekvensen är 15625 Hz, och justeras med PA 02.

Linearitet.

Horisontal linearitet kan inte ställas in.

Fokusering.

Statisk fokusering ställs in med PA 03.

Ljusinställning.

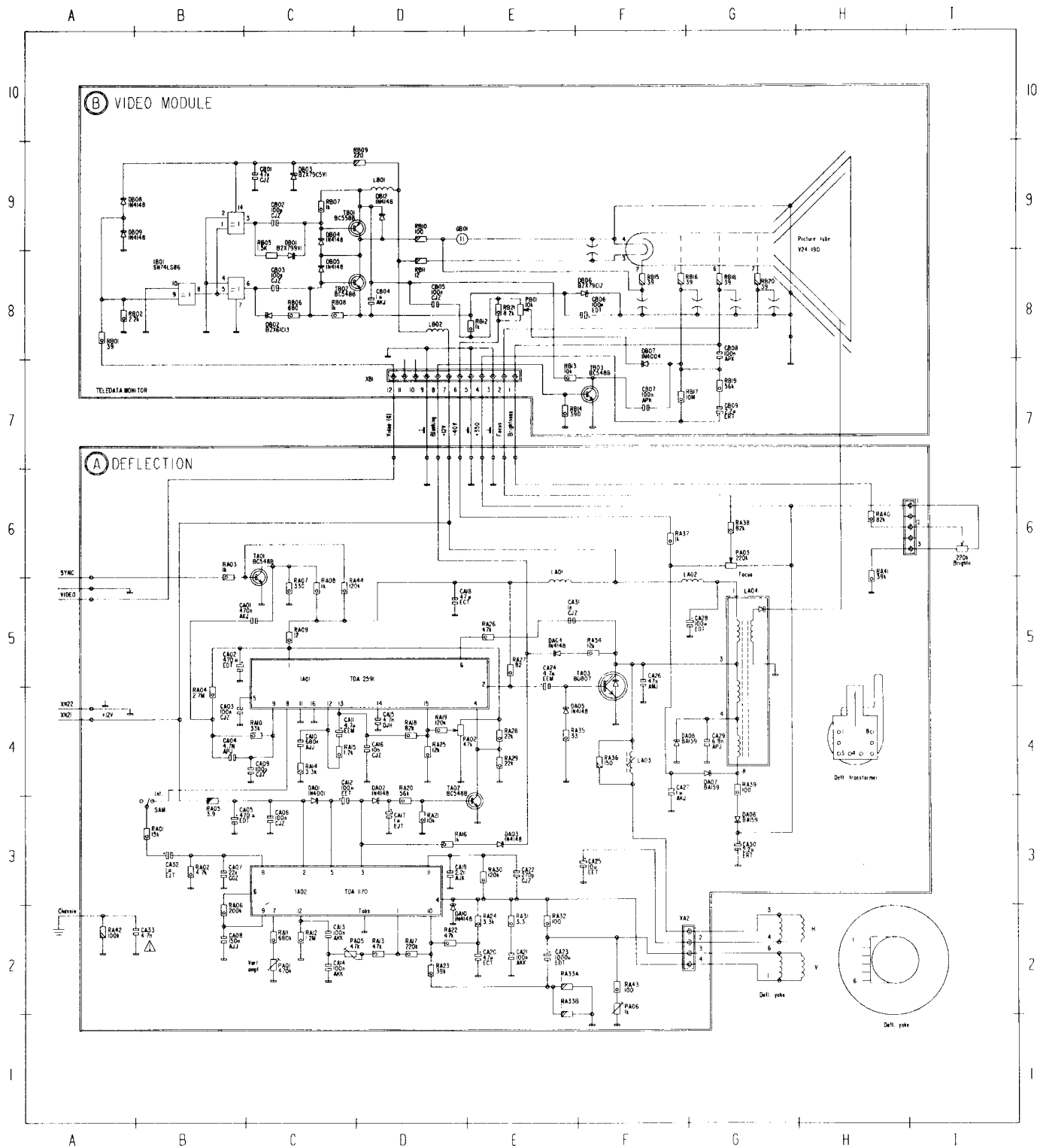
Ljuset ställs in med en ratt på baksidan av bildskärmen, ovanför strömbrytaren.

Skyddskrestar.

För att skydda bildröret, om vertikalavlänkningen skulle sluta fungera, stryps linjeutgången via TA 02. TA 02 hålls ledande så länge som blankingpulser kommer från stift 3 på TDA 1170. Om nu pulserna skulle upphöra, förblir spänningen på stift 4 (TDA 1170) +6V, vilket resulterar i att linjeutgången stryps. För att skydda andra kretsar, om bildröret skulle få överslag, har varje bildrörselektrod ett motstånd och gnistgap för att skydda halvledare från hög spänning eller ström. Videoslutsteget är skyddat genom glimlampan GB 01.

TEKNISKA DATA, BILDSKÄRM.

Bildrör	Storlek	10"
	Avlänk.-vinkel	90 grader
	Halsdiam.	20 mm
	Frontradie	635 mm
	Fosfor	LA
Video	Bandbredd	>20 MHz
	Stig/falltid	<18/18 ns
	Amplitud (hög)	4+1.5V TTL-nivå
	(låg)	0+0.4V TTL-nivå -0V
	Shuntmotstånd	300 min.
Shunkapacitans	40 pF max.	
H.synk	Frekvens	15.625 Hz
	Polaritet	Neg.
	Pulsbredd	5 us
	Blanking	11 us
	Amplitud (hög)	4+1.5V TTL-nivå
	(låg)	0+0.4V TTL-nivå -0V
Shuntmotstånd	300 min.	
Shunkapacitans	40 pF max.	
V.synk	Frekvens	50 Hz
	Polaritet	Neg.
	Pulsbredd	1 ms
	Blanking	1.1 ms
	Amplitud (hög)	4+1.5V TTL-nivå
	(låg)	0+0.4V TTL-nivå 0V
Shuntmotstånd	300 min.	
Shunkapacitans	40 pF max.	
Högspänning		9 kV
Linearitet	H	+ - 6%
	V	+ - 6%
Rasterdistorsion	H	+ - 1.5% max.
	V	+ - 1.5% max.



5. STRÖMFÖRSÖRJNING.

Nätdelen i ABC 802 består av ett primärswitchat nätaggregat, med en verkningsgrad över 65%. Det är placerat baktill för bästa kylning.

Tekniska Data:

Nätspänning	190 - 230 VAC 50Hz
Strömförbrukning	0.85 A RMS
Verkningsgrad	65% min. vid full belastning
Utspänningar	+5V +12V -12V
Kapacitet	+5V - 2.5A full last +12V - 2.02A full last -12V - 0.1A full last
Kontinuerlig effekt	max. 40 W

Utspänningen +5V är fabriksinställd på ett värde mellan 4.9 V och 5.1 V, vid full belastning på alla utgångar och vid 230 V in. Utspänningen mäts vid utgångarna på kretskortet.

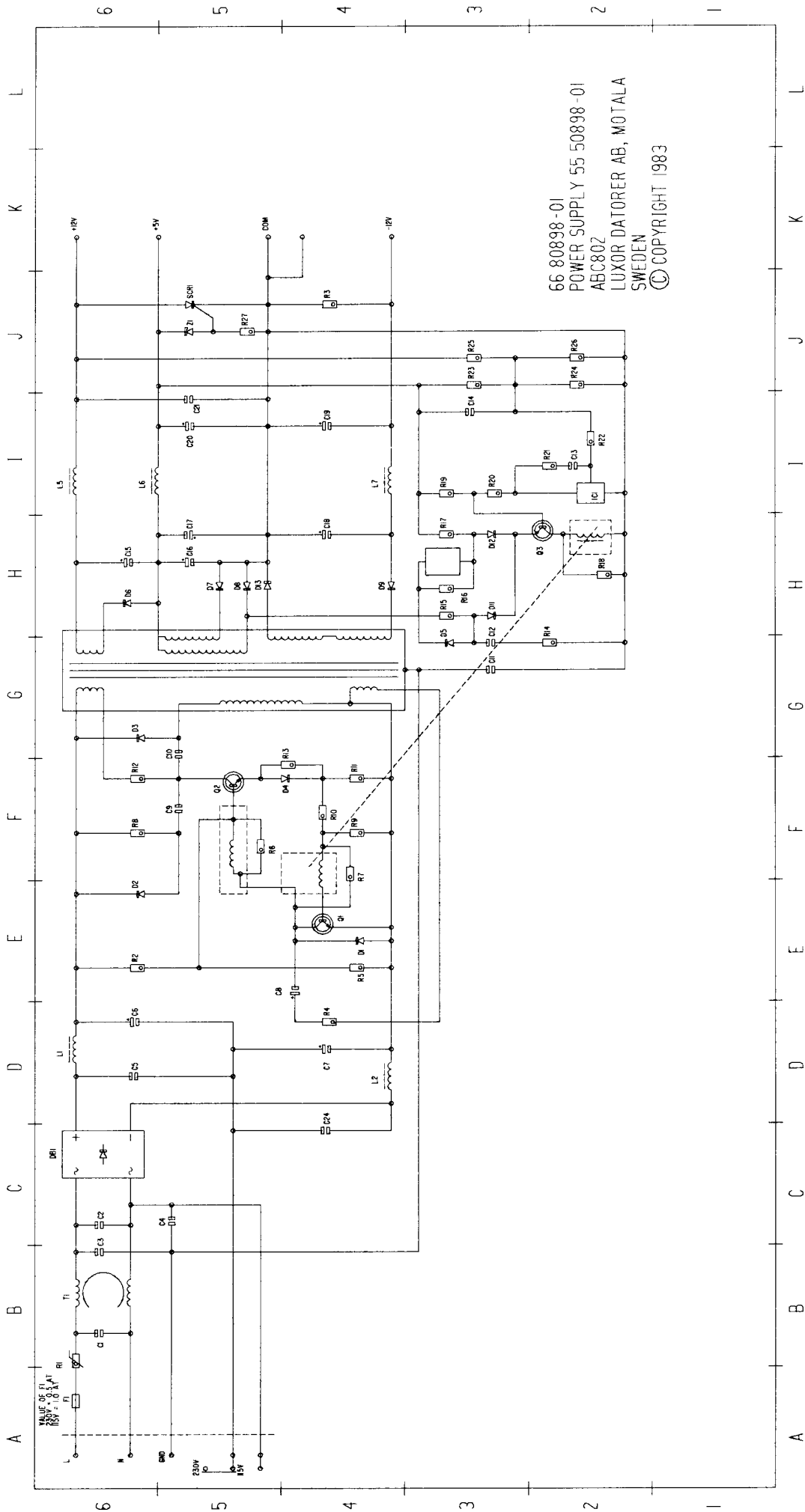
Toleranser på utspänningarna ska hålla sig inom följande värden:

+5V,	4.80 - 5.20 V	0.45 - 2.50 A
+12V,	11.40 - 12.60 V	0.30 - 2.02 A
-12V,	11.00 - 15.00 V	0.04 - 0.10 A

Rippelspänningen på utgångarna ska hålla sig inom följande värden:

+5V,	50 mV p-p
+12V,	150 mV p-p
-12V,	150 mV p-p

Utgången är helt kortslutningssäker. Ett överspänningsskydd finns kopplat till 5V:en och löser ut mellan 5.8V och 6.8V. Nätdelens arbetstemperatur ligger på 0-50 grader C.



6. MINNESDISPOSITION.

Minneskarta utan flexskiveenhet ansluten.

Decimal adress			Hexadecimal adress	Oktal adress
65280	Enkla variabler		FF00H	377:000
65024	CASBUF 2		FE00H	376:000
64768	CASBUF 1		FD00H	375:000
	32 kbyte RAM Arbetsminne			
32768	2 kbyte RAM	2 kbyte ROM/PROM	8000H	200:000
31744	Bildminne	Kassettdrivrutin + MEM:	7C00H	174:000
30720	2 kbyte ROM/PROM Printer/Terminal		7800H	170:000
28678	4 kbyte ROM/PROM DOS-option		7000H	160:000
24576	24 kbyte ROM/PROM BASIC II	32 kbyte RAM Datalagringsminne	6000H	140:000

Bildminnet 2kbyte ligger parallellt med systemprogrammet. Likaså ligger datalagringsminnet 32 kbyte parallellt med systemprogrammet. De olika minnesareorna inkräftar dock inte på varandra utan ABC 802 går över i en specialmod då kasset- och datalagringsminnet adresseras. Vid laddning av operativsystemet CP/M åtgår datalagringsminnet för detta program.

Om minnesutrymmet för maskinspråksrutiner ska reserveras, ändras följande adresser:

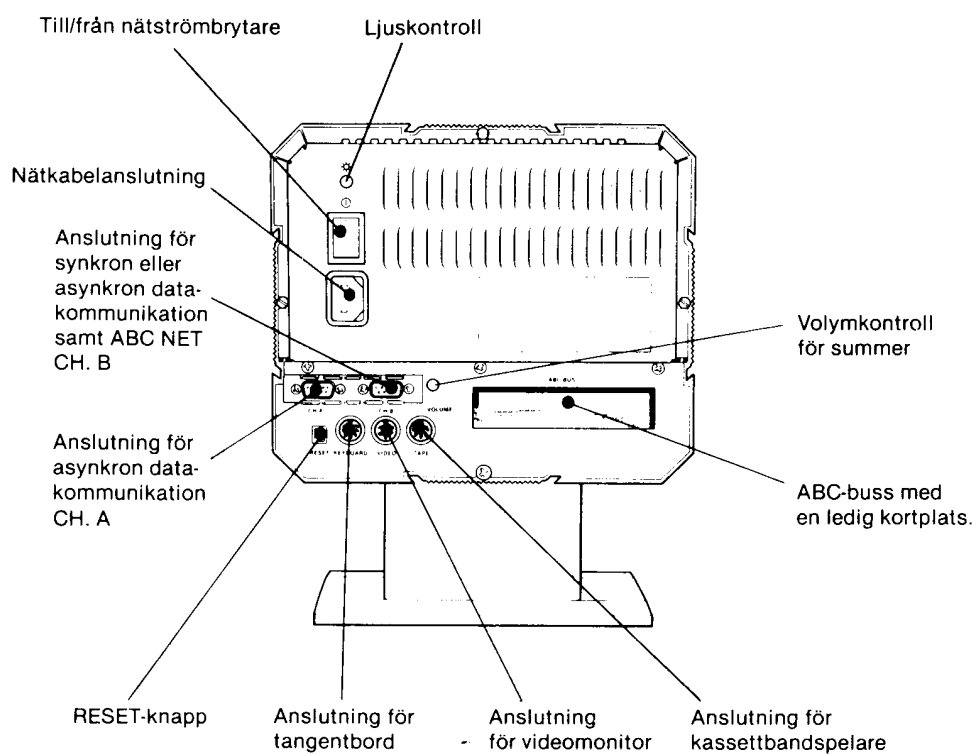
- * Pekare till lägsta minnesadressen för BASIC-program (BOTTOM): 65292
- * Pekare till högsta minnesadressen för BASIC-program (TOP): 65294

Minneskarta med flexskiveenhet ansluten.

Decimal adress		Hexadecimal adress	Oktal adress
65280	Enkla variabler		
		FF00H	377:000
	Systemvariabler		
64768		FD00H	375:000
64512	CASBUF 2	DOSBUF 7	374:000
64256	CASBUF 1	DOSBUF 6	373:000
64000		DOSBUF 5	372:000
63744		DOSBUF 4	371:000
63488		DOSBUF 3	370:000
63232		DOSBUF 2	367:000
62976		DOSBUF 1	366:000
62720		DOSBUF 0	365:000
	Stack		
	32 kbyte RAM arbetsminne		
	Övrigt minnesutrymme identiskt med föregående minneskarta (bilaga 4)		

7. ANSLUTNINGSDON.

Alla anslutningsdon finns samlade på baksidan av ABC 802. På framsidan finns en lysdiod som visar att nätspänningen är tillslagen.

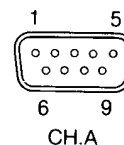


CH.A är avsedd för asynkron kommunikation med t ex skrivare.

CH.B är avsedd för asynkron kommunikation, men kan kopplas om för synkron kommunikation. Kanalen är även avsedd för ABC NET anslutning. Hur kanalen ska användas ställs in med den omkopplare som finns på kommunikationskortet. Vilket läge omkopplaren ska stå i hänvisas till bruksanvisningen.

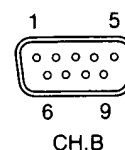
* Signaler till och från CH.A

- 1 DTR (Data Terminal Ready)
- 2 TxD (Transmit Data)
- 3 RxD (Receive Data)
- 4 RTS (Request to Send)
- 5 CTS (Clear to Send)
- 6 DSR (+ 12V)
- 7 GND (Ground)
- 8 DCD (Data Carrier Detect)
- 9 -12V



* Signaler till och från CH.B

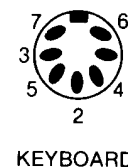
- 1 DTR (Data Terminal Ready)
- 2 TxD (Transmit Data)
- 3 RxD (Receive Data)
- 4 RTS (Request to Send)
- 5 CTS (Clear to Send)
- *6 DSR (+ 12V)
- 7 GND (Ground)
- 8 DCD (Data Carrier Detect)
- *9 -12V



* Stift 6 och 9 på CH.B, får olika funktioner beroende på hur omkopplaren, på kommunikationskortet, står. Se i bruksanvisningen, sid 18-19.

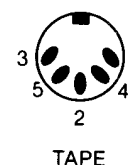
* Signaler till och från tangentbord

- 1 TxD (Transmit Data)
- 2 GND (Ground)
- 3 RxD (Receive Data)
- 4 TRxC (Clock)
- 5 Key Down*
- 6 +12V
- 7 Reset*



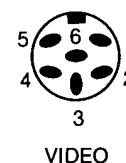
* Signaler till och från Kassetbandspelare

- 1 TxD (Transmit Data)
- 2 GND (Ground)
- 3 RxD (Receive Data)
- 4 Motor control
- 5 Motor control

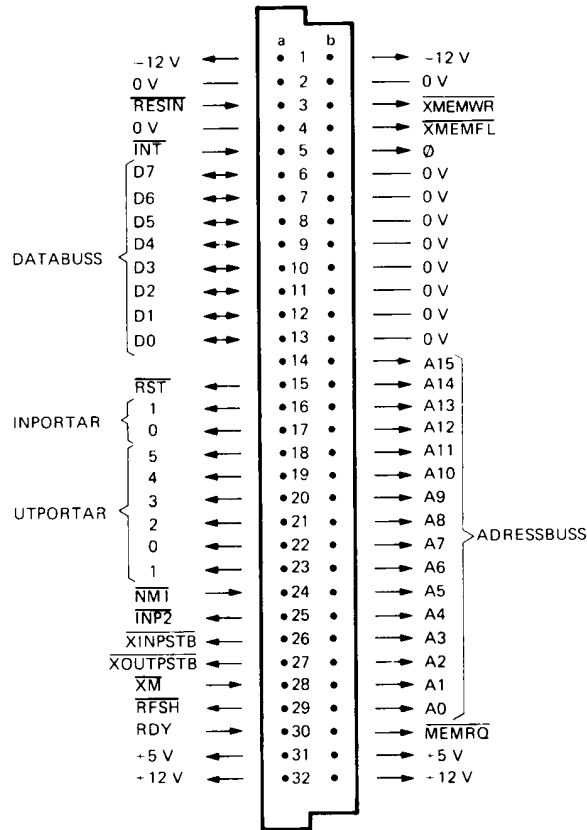


* Signaler till och från video

- 1 Switch voltage out
- 2 Composite video out
- 3 GND
- 4 Audio out
- 5 NC
- 6 Audio out



ABC-bussen.



8. ABC NET

ABC NET är ett lokalt datornät, där man kan ansluta upp till 32 st ABC datorer mot ett gemensamt massminne och skrivare. Massminnet kan i princip vara vilket flexskive-minne eller hårddisk som helst av Luxor-fabrikat. Skrivaren får vid anslutning till nätet en s.k. spoolerfunktion, det vill säga att de filer som ska skrivas ut, först läggs upp i en "kö" på massminnet, för att sedan skrivas ut en i taget. Fördelen med detta system är att slippa besvärande väntetider vid långa utskrifter.

I ABC NET har varje dator ett individuellt nodnummer som finns lagrat i det DOS som används i nätet. Det gör att varje dator i nätet måste ha ett unikt DOS, med dess nodnummer. En variant av DOS frågar också efter nodnummer efter start, men detta är ett riskablare system pga om två eller flera användare råkar ange samma nummer kan filer förstöras om båda av misstag råkar skriva samtidigt.

Anslutning

Anslutning till nätet sker enl. följande:

Byt DOSprom ABC 32-XX till ABC 32N/NN-X, där NN är nodnummer (1-32) och X är versionsnummer.

Bygla omkopplaren på kommunikationsmodulen enl. nedan.

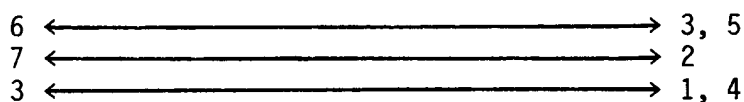
Anslut kabel från datorns CH B till nätet.

Tryck RESET och inlogging sker.

ABC 802 Net kabel.

ABC 802 kanal B

Net DIN stiftdon



Omkopplarens inställning på kommunikationsmodulen

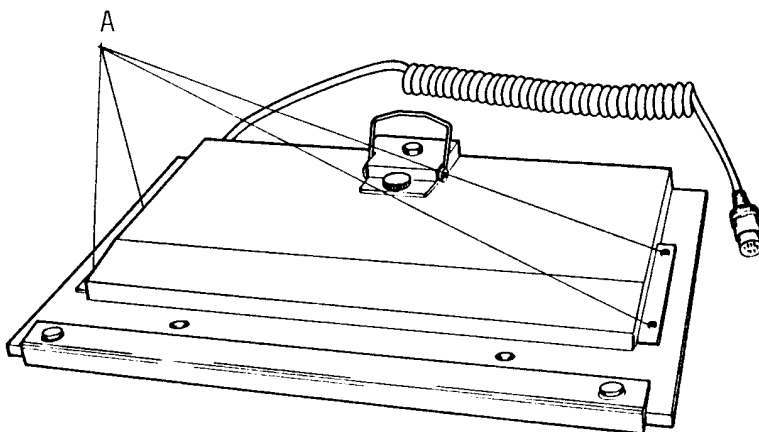
Till (On, Close):1, 3, 4. Från (Off, Open):2, 5, 6, 7, 8

Nodnummer finns lagrat på adress 6488H (25736 dec), och kan avläsas med: PRINT PEEK (25736).

9. DEMONTERING

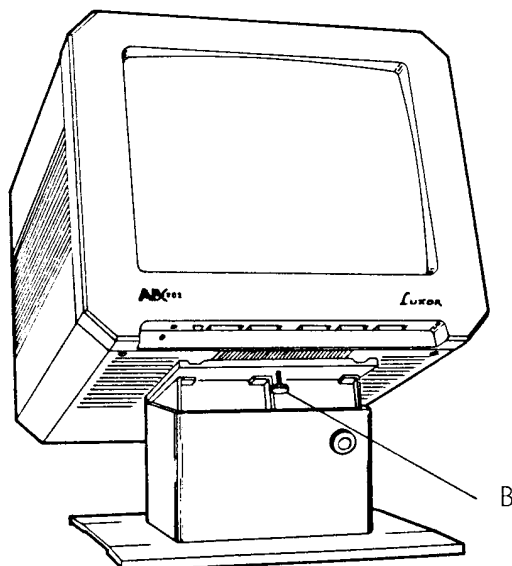
Demontering av tangentbord.

Vid demontering av tangentbordet, lossas de fyra skruvarna på undersidan i pos A, och därefter viks bottenplåten upp försiktigt. (Obs! Signalkabeln sitter fast i bottenplåten, och vid ovarsam hantering kan kablarna ryckas loss från kontakt J1.) Lossa sedan kontakt J1, och tangentbordet kan lyftas ur locket.



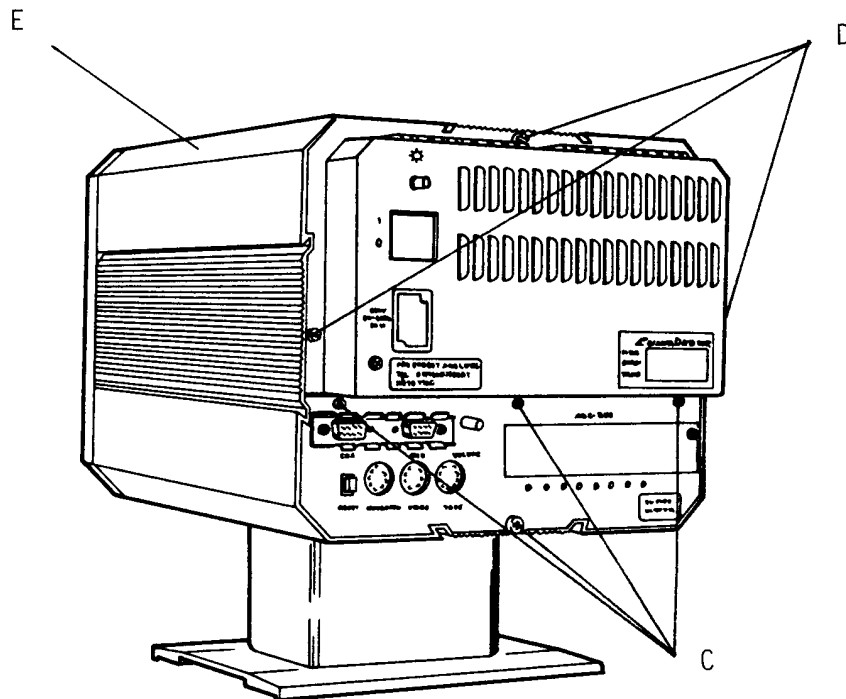
Demontering av monitor.

Monitorenheten justeras och demonteras från stativet genom att en skruv på undersidan, pos B, lossas, varvid monitorn kan skjutas framåt och bakåt på stativet.



I monitordelen sitter ABC 802:s processor-kort. Genom att lossa de fyra skruvarna, i pos C, och försiktigt dra ut den nedre delen av bakstycket, kommer man åt processor-kortet. Längst in på processor-kortet sitter två kontakter till bildenhet och strömförsörjning.

Det övre bakstycket avlägsnas genom att lossa de tre återstående skruvarna, i pos D. Observera att det nedre bakstycket måste avlägsnas först. Skruvarna är ca 27 cm långa och går ända fram till framstycket. Efter det att skruvarna är borttagna kan övre delen av svepet, i pos E, tas bort.



10. RESERVDLSLISTA OCH KOMPONENTFÖRTECKNING.

BENÄMNING	POSITON	ARTIKELNR
TANGENTBORD ABC 55		
RESERVBLAD		66 90220-14
REFERENSBLAD		66 90220-13
TABLÅ FUNKTIONSTANGENTER		66 90220-12
FELKODER/ASCII TABELL		66 90220-11
REFERENSBLOCK		66 90220-01
TRÅDBYGEL		47 82002-07
LÅSSKRUV M4		50 20020-07
MUTTER M6M3		50 12110-01
SKRUV RX 3*6		50 10072-07
KONTAKTFJÄDER		47 90022-05
BYGEL		47 82001-07
LUCKA		44 20661-05
BOTTENPLATTA		44 20655-01
GENOMFÖRING		43 71610-01
KABEL MED 7-POLIG KONTAKT		43 71610-01
FOT		40 30013-01
HÖLJE KOMPLETT		40 08055-10
TANGENTBORD KPL. MED TANGENT		19 40009-11
KEY TOP SATS		*66-02486-002
SWITCH 30MM		*61-04024-001
HÖGTALAR 8 OHM	LS1	*48-00608-000
KRISTALL 4.608 MHZ 4 PIN		*48-00300-107
1N4148	CR2-7	*21-04148-000
LYSDIOD 3401 RED	CR1	*21-03401-001
KONTAKT 16 PIN	J2	*39-00793-000
KONTAKT 13 PIN	J3	*39-00754-013
KONTAKT 12 PIN	J1	*39-00754-012
EPRM 65-02486	Z10	*22-02716-057
68uF 10V	C3	*37-00686-010
4.7uF 35V	C1	*37-00475-035
0.033uF 25V	C2,4-7,9-12,16,17	*32-00333-004
10uF 10V	C8	*32-00106-010
0.022uF 100V	C15	*28-00233-001
18pF 50V	C14	*28-00180-016
0.1uF 35V	C20	*28-00104-003
10pF 50V	C13	*28-00100-016
3.3K SIP 8	RX5	*38-00332-006
12K SIP 8	RX1-3	*38-00123-006
82R 5% 0.25W	R1	*25-00820-000
6.8K 5% 0.25W	R8	*25-00682-000
3.3K 5% 0.25W	R2,15	*25-00332-000
2.7K 5% 0.25W	R7	*25-00272-000
15K 5% 0.25W	R5	*25-00153-000
100K 5% 0.25W	R3,14	*25-00104-000
10K 5% 0.25W	R4,13	*25-00103-000
10R 5% 0.25W	R6	*25-00100-000
806R 1% 0.25W	R9	*18-08060-006
74LS393	Z6	*22-74393-003
74LS374N	Z15	*22-74374-003

74LS373N	Z8	*22-74373-003
74LS240N	Z7	*22-74240-003
74LS132N	Z4	*22-74132-003
7805	Z1	*22-07805-605
7407N	Z9,11	*22-07407-001
7406N	Z3	*22-07406-001
74LS02N	Z12	*22-07402-003
CD4020	Z5	*22-04020-000
22-950-3B	Z2	*22-00950-003
22-908-03	Z17	*22-00908-003
NE 556N	Z13	*22-00556-000
MPU 8035	Z16	*20-08035-000
BRUKSANVISNING		66 78088-10

ABC 802 MED MONITOR

KONDENSATOR 0.47uF 400V		62 20097-01
KONDENSATOR 3.3nF 250V		62 12733-01
BILDRÖR V24-190TPE6L5C		65 00049-01
POTENTIOMETER 220K LINJÄR		61 70130-02
AVLÄNKNING SAREA92.063B		59 60073-01
NÄTFILTER		59 20005-01
STRÖMBRYTARE		55 00051-01
ISOLERING		53 20697-01
KRETSKORTFÄSTE 3/8"		53 80022-01
FRONT TRYCKT		53 40018-05
KABELGENOMFÖRING		53 30387-01
KRETSKORTSTÖD		53 30303-01
SPÄNNBAND		52 20000-01
PLÅTCLIPS		52 00028-15
DISTANSBULT M4*10		50 90038-15
SKRUV M4*270.5		50 20019-01
KÅPA UNDERDEL		44 70016-04
KÅPA ÖVERDEL		44 70015-04
BAKSTYCKE ÖVRE DEL		44 20651-04
KABEL JORDNING RIMBAND		43 71684-01
KABEL STRÖMBRYTARE-NÄTDEL		43 71683-01
KABEL STRÖMFÖRSÖRJNING, DATOR		43 71614-01
JORDNING BILDRÖR		43 71481-02
KABELSTAM AVL.ENHET		43 71480-01
KABEL LYSDIOD		43 71110-01
KABEL LJUSPOTENTIOMETER		43 71075-02
FOT KOMPLETT		40 80129-03
NÄTSLADD		43 50029-04
BASIC MANUAL		66 78088-31
PROGRAMMERINGSKORT		66 78088-21
KRETSKORT MED NÄTKONDENSATOR		55 20697-01
KRETSKORT MED LYSDIOD		55 20698-01
LYSDIOD GUL		63 40216-01
R 1K2 +-5% 1/3W		61 29290-01
KRETSKORT AVLÄNKNING/VIDEO		55 20859-02
12R +-5% 1/2W	RB 11	61 29686-01
BILDRÖRSSOCKEL		65 19849-01
GLIMLAMP	GB 01	65 60003-01
SN74LS86N		64 40036-01
TDA 1170S	IA 02	64 30008-01
TDA 2591	IA 01	64 30006-01
BU 807	TA 03	63 20079-01
BC548B	TA 01,02,TB 02,03	63 10056-01

BC558B	TB 01	63 10041-01
10uF 25V	CA 25	62 50195-01
2.2uF 450V	CA 30	62 50194-01
1uF 63V	CA 32,17	62 50135-01
10uF 35V		62 50127-01
47uF 10V	CA 20	62 50126-01
47uF 25V	CA 18	62 50092-01
470uF -10+50% 16V	CA 05,02	62 50090-01
1000uF 16V	CA 23	62 50089-01
100uF 25V	CB 06,CA 28,12	62 50083-01
47nF 63V	CB 01	62 21887-01
100pF 63V KERAMISK	CA 09,CB 02	62 21371-01
22nF 40V KERAMISK	CA 07	62 21344-01
10nF 63V KERAMISK	CA 16	62 21342-01
2.2nF 63V	CA 19	62 21340-01
1nF 63V	CA 31	62 21339-01
10uF 350V	CB 09	62 21183-01
100nF 100V	CA 34	62 21023-01
680nF 63V	CA 10	62 20207-01
470nF 63V	CA 01	62 20195-01
82nF 250V	CA 26	62 20180-01
6.8nF 100V	CA 04,29	62 20177-01
150nF 250V	CA 08	62 20082-02
1uF 100V	CA 27,04	62 20047-01
100nF 250V	CA 13,14,21	62 20016-01
100nF 400V	CB 07,08	62 12704-01
4.7nF 250V	CA 33	62 00122-01
270pF 63V KERAMISK	CA 22	62 00100-01
100nF 63V	CA 03,06,CB 05	62 00039-01
HÖJD POT. 470K	PA 01	61 80026-01
3.9R 5% 1W	RA 05	61 40115-01
100K 5% 1/2W	RA 42	61 29737-01
120K 5% 1/3W	RA 44	61 29677-01
680K 5% 1/3W	RA 11	61 29546-01
4.7K 5% 1/3W	RA 02	61 29263-01
56K 5% 1/3W	RB 19	61 29001-01
FOCUS POT. 220K	PA 03	61 17728-01
POT. HOR.FREKVENNS 47K	PA 02	61 17705-01
10M 10% 1/3W	RB 17	61 00051-01
KORREKTIONSSPOLE LINJÄRITET	LA 03	59 60074-01
SPOLE 5.6uH	LA 01,02,LB 01,02	58 35600-01
LINJETRAFO SAREA 10.0253R		58 10097-01
STIFTLIST		43 60388-01
KONTAKTLIST 4-POLIG	XA 02	43 60227-01
KONTAKTHUS STOCKO		43 60163-01
KONTAKT 12-POLIG	XB 01	43 60151-01
PU-KORT		55 20892-01
110R 5% 0.3W	R11	61 29872-01
10R 5% 0.3W	R21	61 29671-01
12R 5% 0.3W	R14	61 29442-01
22R 5% 0.3W	R48,51	61 29247-01
4.7R 5% 0.3W	R53	61 00101-01
BZX83 C3.3	D05	63 08746-01
1N4148	D01-06	63 08824-01
5.6K 5% 0.3W	R27	61 29291-01
1.2K 5% 0.3W	R05,06	61 29290-01
100K 5% 0.3W	R58	61 29274-01

22K 5% 0.3W	R22,23	61 29268-01
10K 5% 0.3W	R01-03,43,45	61 29265-01
4.7K 5% 0.3W	R32	61 29263-01
1.5K 5% 0.3W	R12,13,26	61 29259-01
1K 5% 0.3W	R17,19,20,25,28,29, 31,39,40,41,44,46	61 29258-01
680R 5% 0.3W	R24	61 29257-01
470R 5% 0.3W	R34,35	61 29256-01
330R 5% 0.3W	R30	61 29254-01
270R 5% 0.3W	R57	61 29253-01
220R 5% 0.3W	R10,16,48	61 29252-01
150R 5% 0.3W	R38	61 29251-01
100R 5% 0.3W	R07-09,37,47,56	61 29250-01
47R 5% 0.3W	R04,49,50	61 29249-01
TC5514AP-2	5G-8G	64 90173-01
HM 4864-3	11A-18A	64 90184-01
ABCP2-1	2G	64 90192-01
ABCT2-1	3G	64 90191-01
ABC32-1	14F	64 90190-01
ABC22-1	12F	64 90189-01
ABC12-1	11F	64 90188-01
ABC02-1	9F	64 90187-01
MC6845P	12G	64 90126-01
CTC Z80A	9A	64 90104-01
DART Z80A	5A	64 90103-01
SIO/2 Z80A	7A	64 90102-01
CPU Z80A	18C	64 90041-01
LM339	6C	64 90026-01
SN74LS55	9C	64 40161-01
SN74ALS10	12C	64 40162-01
SN74ALS175	11B,1E	64 40159-01
SN74ALS86	10D	64 40158-01
SN74ALS74	4F,6D	64 40157-01
SN74ALS32	4D,11D	64 40156-01
SN74ALS02	9D	64 40155-01
F74F10	13B	64 40154-01
TC40H374P	5H,7H	64 40153-01
TC40H373P	6H,8H	64 40152-01
TC40H245P	6F,7F	64 40151-01
CD4020BE	2E,3E	64 40123-01
SN74LS377	9H,11H	64 40122-01
SN74LS163	1F	64 40115-01
SN74LS27	11C	64 40114-01
DM81LS95N	14G	64 40113-01
SN74LS390	4E	64 40105-01
SN74ALS112	12B	64 40099-01
SN74LS379	10H	64 40104-01
SN74LS258	5F,9G-11G,14B,15B	64 40103-01
SN74LS191	5D	64 40102-01
SN74LS158	2F,16G	64 40101-01
SN74LS138	13C	64 40100-01
SN74LS240	10C	64 40086-01
P8205	15F,16F	64 40052-01
SN74LS375	7D	64 40050-01
SN74LS257A	1G	64 40046-01
SN74LS245	15E	64 40045-01
SN74LS241	14C,15C,18E,18G	64 40044-01
SN74175	1E,11B	64 40043-01
SN74LS166	3F	64 40042-01

SN74LS139	18H	64 40039-01
SN74LS132	12D	64 40038-01
SN74LS107	7C,8C	64 40037-01
SN74LS86	10D	64 40036-01
STYRSKENA		53 30483-01
DRIVSKRUV RXK B6*6.5		51 10476-10
SKRUVSÄKRING		50 90031-01
MUTTER M6M22.5		50 12115-10
MUTTER M6M3		50 12110-10
SKRUV MCS 2.5*8		50 10898-10
SKRUV MRX 3*8		50 10075-10
BAKSTYCKE UNDRÉ		44 60115-01
JORDNINGSPLÅT		44 20754-05
HÅLLARE		44 20690-01
HÅLLARE		44 20690-02
KONTAKTDON 64 POL. VINKLAT		43 60391-01
KRISTALL 12MHZ	X01	63 90034-01
10nF KERAMISK	C02,03,08	62 21342-01
470nF KERAMISK	C11,18	62 00055-01
4.7nF KER. 20% 400V	C47	62 00052-01
100nF KERAMISK	AVKOPPL.KOND. 25ST	62 00039-01
47pF KERAMISK	C19,31	62 00036-01
1nF KERAMISK	C46	62 00028-01
SIL RESISTANS 9*4.7K	R55,52	61 90041-01
SIL RESISTANS 9*1K	R33,18	61 90040-01
SIL RESISTANS 9*10K	R54	61 90039-01
RELÄ 5V 1-POL	RE1	60 20018-01
DROSSEL		58 30038-01
TRYCK OMK. RESET		56 40083-01
KONT.DON 4-POL KRAFTANSL.		43 60543-01
STIFTLIST 24-POL. 25mm		43 60500-01
STIFTLIST 40-POL.		43 60388-01
STIFTDON 3-POL. STOCKO		43 60162-01
BC548B	T01-05	63 10056-01
47uF TANTAL	C24,30,35,41	62 50151-01
10uF TANTAL	C01,10,39,40, 42,44,45	62 50021-01
KOMMUNIKATIONSMODUL		55 20893-01
FÖRLÄNGNINGSSAXEL	P01	42 50006-01
10nF KERAMISK	C04,05,09,10,15	62 21342-01
470pF	C07,08	62 00055-01
100nF KERAMISK	C01	62 00039-01
220pF	C02,03,06,11-13	62 00014-01
TRIMPOT 10K	P01	61 80029-01
PIEZO LJUDELEMENT		60 22002-01
DROSSEL 47uH	L01	59 00229-01
KONTAKT 9-POLIG DSUB	CH A,B	43 60472-02
BZX83 C3.0	D01,02	63 40139-01
1N4148	D04	63 40054-01
BC557B	T01,02	63 10057-01
BC548B	T03	63 10056-01
BZX83 C8.2	D03	63 08732-01
10uF TANTAL	C14	62 50021-01
22K 5% 0.3W	R08	61 29268-01
12K 5% 0.3W	R09	61 29266-01
4.7K 5% 0.3W	R03	61 29263-01

1K 5% 0.3W	R01,02,04,04,10	61 29258-01
100R 5% 0.3W	R07	61 29250-01
47R 5% 0.3W	R06	61 29249-01

ASTEC NÄTDEL AC 8151		55 50898-01
----------------------	--	-------------

SB561	Q3	*210-11700350
EFFEKTTRANSISTOR	Q2	*853-00400050
SD467	Q1	*209-11700460
SPOLE	L7	*328-00100060
FILTERSPOLE	L5,6	*852-20100180
SPOLE 1.5mH	L4	*328-00100010
SPOLE 2.2uH	L3	*328-00100030
FILTERSPOLE	L1,2	*852-20100140
TL431CLP STAB.	IC1	*211-10800100
SÄKRING 2A 250V	F1	*084-00100010
LIKRIKTARBRYGGA KPB10	DB1	*226-30500010
RGP10B	D9	*226-10400070
DIOD	D6-8	*853-00200190
1N4606	D5,11,12	*212-10700210
1N4001GP	D4,13	*226-10400080
RGP10M	D3	*226-10400100
ZENERDIOD 5.6V 5% 1W	Z1	*222-56086002
KONTROLLTRAFO	T3	*852-10200680
EFFEKTTRANSISTOR	T2	*851-10200940
DRIVTRAFO	T1	*852-20200950
TYRISTOR SCR C122U	SCR1	*227-13000010
12R 5% 0.25W	R27	*240-12006022
2.7K 2% 0.25W	R26	*247-27015022
22K 2% 0.25W	R25	*247-22025022
68K 5% 0.25W	R24	*240-68306022
4.7K 2% 0.25W	R23	*247-47015022
470R 5% 0.25W	R22	*240-47106022
12K 5% 0.25W	R21	*240-12306022
56R 5% 0.25W	R19,20	*240-56006022
560R 5% 0.25W	R18	*240-56106022
8.2R 5% 0.25W	R17	*240-82906022
270R 5% 0.5W	R15,16	*240-27106033
68R 5% 0.25W	R14	*240-68006022
5.6R 5% 0.25W	R13	*240-56906022
1R 5% 1W	R12	*247-10086054
0.75R 5% 1W	R11	*247-07586054
10R 5% 0.25W	R9,10	*240-10006022
120R 5% 1W	R8	*248-12106052
68R 5% 0.25W	R7	*240-68006022
27R 5% 0.25W	R6	*240-27006022
1K 5% 0.25W	R5	*240-10206022
33R 5% 2W	R4	*248-33006063
220R 5% 1W	R3	*248-22106052
330K 5% 0.5W	R2	*240-33406033
THERMISTOR 4R 10%	R1	*258-40970015
0.22uF +-20% 25V	C24	*058-22400130
2200uF +-20% 250V	C21	*057-22220020
470uF +50-10% 25V	C20	*057-47120110
330uF +100-20% 16V	C18,19	*057-33120120
1000uF	C15,16,17	*057-10220040
0.022uF +-20% 50V	C14	*058-22400090
0.22uF +-20% 100V	C12,13	*058-22400160
0.01uF +-20% 1KV Z5U	C10,11	*055-10368925

470pF +-20% 3KV Z5U
220uF +50-10% 10V
100uF +-20% 250V
0.22uF +-20% 250V
4700pF +-20% 400VAC
0.1uF +-20% 250VAC
0.01uF +-20% 250VAC

C9
C8
C6,7
C5
C3,4
C2
C1

*055-47167728
*057-22120080
*057-10120170
*058-22400130
*055-47220001
*068-10400010
*068-10300010

11. TEKNISK BESKRIVNING

Fördjupningsdel.

Här tar vi upp funktionsbeskrivningen mera ingående på de funktioner enl. innehållsförteckningen nedan. De positionshänvisningar som görs, hänvisar till positioner på kretskortet, vilka även står angivna i kretsschemat. Som en liten teckenförklaring kan även nämnas följande:

$$\begin{aligned} \text{LAO}^* &= \overline{\text{LAO}} \\ \text{RC}^* &= \overline{\text{RC}} \\ \text{RFSH}^* &= \overline{\text{RFSH}}, \text{ etc.} \end{aligned}$$

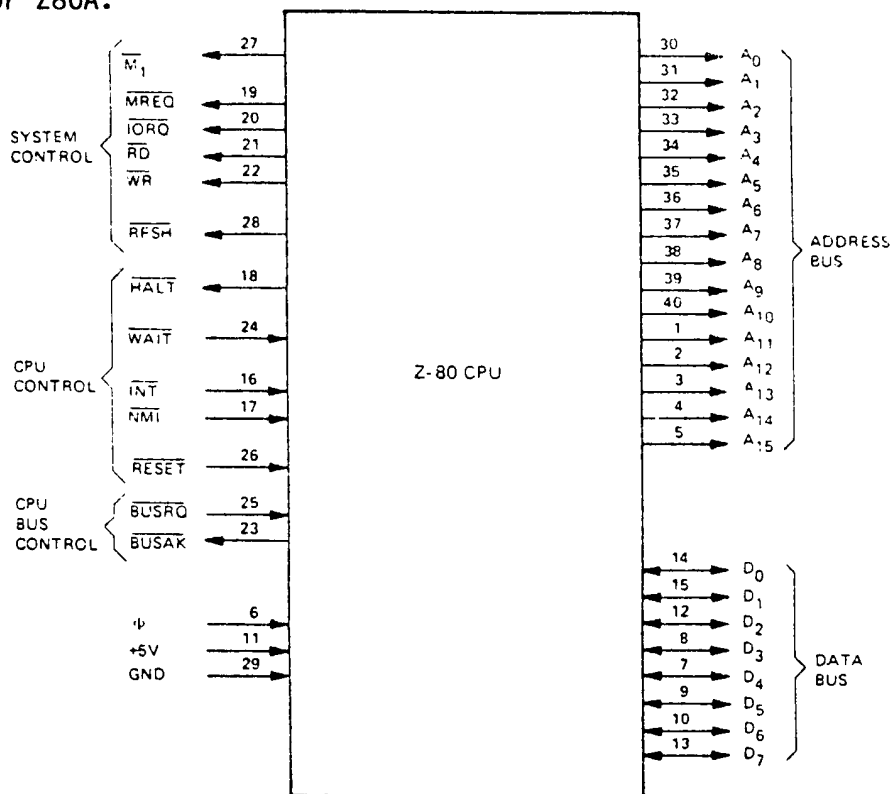
En * efter signalnamnet är alltså detsamma som den inverterade signalen.

De positioner som anges i texten, hänvisar till positioner på kretskortet. I schemat finns samma positionsangivelser, i en liten ring. I texten finns också ibland inlagt en schemaposition, som hänvisar till det koordinatsystem som finns i marginalen på varje schema. Det är gjort när det kan vara svårt att hitta vissa kretsar som beskrivs. OBS! En schemaposition anges alltid så här: (sp 6C)

Varje schema har ett nummer, och anges i början på varje avsnitt.

Z80A.....	33
I/O- och XMEM-kontroll.....	42
RESET, NMI och INT.....	44
64 kbyte RAM läs och skrivminne.....	46
32 kbyte ROM läsminne.....	48
CTC.....	51
SIO/2 och DART.....	57
CRTC.....	66
Systemklocka.....	76
Videominne och teckengenerering.....	77
CPU läsn. och skrivn. i bildminne.....	82
Tangentbordet.....	84
Kretsscheman.....	89

Microprocessor Z80A.



- A0-A15** (Address Bus) Tri-state utgångar.
A0-A15 ger en 16-bitars adress (64 kbytes).
Adresserar minnen eller in/ut enheter.
Vid I/O adressering används dom 8 lägst signifi-
kanta bitarna (A0-A7) för att adressera upp till
256 in/ut portar.
Under refresh perioden innehåller A0-A6 en ref-
resh adress.
- D0-D7** (Data Bus) Tri-state in/utgångar.
D0-D7 bildar en 8-bitars dubbelriktad databus för
databyte med minnen och in/ut enheter.
- M1** (Machine cykel one) Utgång, aktiv låg.
M1 indikerar att pågående maskincykel är en
opkodshämtning, i en instruktionscykel. Under
utförande av 2-bytes instruktioner, genereras M1
för varje opkodshämtning. Dessa opkoder börjar
alltid med CBH, DDH, EDH eller FDH.
M1 är också aktiv tillsammans med IORQ för att
indikera ett godkännande av en interruptbegäran.
- MREQ** (Memory Request) Tri-state utgång, aktiv låg.
MREQ-signalen indikerar att adressbussen innehåller
en giltig adress för läsning eller skrivning
i minnet.

IORQ	<p>(Input/Output request) Tri-state utgång, aktiv låg.</p> <p>IORQ-signalen indikerar att A0-A7 innehåller en giltig adress för en läsning eller skrivning till en in/ut enhet.</p> <p>En IORQ genereras också tillsammans med en M1 signal när en interrupt blir godkänd, så att en interruptvektor kan placeras på databussen.</p> <p>En opkodshämtning kan aldrig ske från en in/ut enhet.</p>
RD	<p>(Read) Tri-state utgång, aktiv låg.</p> <p>RD indikerar att CPU:n vill läsa data från en minnesposition eller från en in/ut enhet.</p> <p>Är endast aktiv tillsammans med MREQ eller IORQ.</p> <p>Det adresserade minnet eller in/ut enheten ska använda den här signalen för att grinda ut data på databussen.</p>
WR	<p>(Write) Tri-state utgång, aktiv låg.</p> <p>WR indikerar att CPU:ns databuss innehåller giltiga data för lagring i adresserat minne eller in/ut enhet.</p> <p>Är endast aktiv tillsammans med MREQ eller IORQ.</p> <p>Signalen används för att skriva in data till adresserad ut-enhet eller minnesposition.</p>
RFSH	<p>(Refresh) Utgång, aktiv låg.</p> <p>RFSH indikerar att A0-A6 innehåller en refresh adress (från R-registret) för dynamiska minnen, och att MREQ-signalen ska användas för att göra en refresh läsning av alla dynamiska minnen i systemet.</p> <p>RFSH är alltid aktiv tillsammans med MREQ.</p> <p>A7 är alltid låg och A8-A15 i adressbussen kommer att innehålla värdet i I-registret.</p>
HALT	<p>(Halt state) Utgång, aktiv låg.</p> <p>HALT indikerar att CPU:n har läst in programinstruktionen HALT, vilket innebär att den stoppar och väntar tills en NMI eller INT inträffar, innan den fortsätter programexekveringen.</p> <p>När CPU:n stoppats av HALT-instruktionen kommer den att utföra sk. NOP's (No Operation) för att refresh adresseringen ska fortgå.</p>
WAIT	<p>(Wait) Ingång, aktiv låg.</p> <p>WAIT informerar CPU:n om att det adresserade minnet eller in/ut enheten inte är klar för att göra en dataöverföring. CPU:n kommer att lägga till sk. wait states tills WAIT-signalen blir hög.</p> <p>Används vid kommunikation med långsamma minnen eller in/ut enheter.</p> <p>OBS refresh utförs inte när WAIT-signalen är aktiv.</p>

INT	<p>(Interrupt Request) Ingång, aktiv låg. Avbrott i pågående programexekvering. INT genereras av in/ut enheter. En avbrottsbegäran besvaras i slutet av pågående instruktionscykel, om den av mjukvaran kontrollerade enable flaggan är satt, och signalen BUSRQ inte är aktiv. Om CPU:n godkänner avbrottsbegäran sänder den ut en godkännande signal (IORQ och M1 aktiva) i början av nästa instruktionscykel.</p>
NMI	<p>(Non Maskable Interrupt) Ingång, aktiv låg (triggas på den negativa flanken). NMI ingången har en högre prioritet än INT ingången och besvaras alltid i slutet av pågående instruktionscykel oberoende av om enable flaggan är satt eller inte. NMI-signalen gör att CPU:n kommer att hämta sin nästa instruktion på adress 0066H. Programräknarens innehåll sparas automatiskt på stacken så programkörning kan fortsätta där avbrottet inträffade.</p>
RESET	<p>(Reset) Ingång, aktiv låg. RESET-signalen nollställer programräknaren och initierar CPU:n. CPU initieringen består av följande: 1) Disable interrupt enable flaggan 2) Nollställer I-registret 3) Nollställer R-registret 4) Sätter interrupt mode 0</p> <p>När RESET är aktiv, kommer adressbussen och databussen att läggas på en Hög Impediv nivå, samt alla kontrollsignaler att läggas inaktiva. Ingen refresh utförs.</p>
BUSRQ	<p>(Bus Request) Ingång, aktiv låg. När BUSRQ blir aktiv, kommer CPU:n att lägga adress- och databuss till en hög-impediv nivå, så snart pågående instruktionscykel är avslutad. Detta används när någon annan enhet ska kontrollera adress- och databuss, t.ex. en DMA-krets.</p>
BUSAK	<p>(Bus Acknowledge) Utgång, aktiv låg. används för att tala om för den enhet som aktiverat BUSRQ, att CPU:n har lagt adress- och databuss i tri-state läge (hög-impedivt).</p>
0	<p>Klockingång till CPU. Styr tidsmässigt alla signaler ut från CPU:n.</p>

CPU operationer.

Z80 - CPU exekverar instruktioner (hårdvarumässigt sett) genom att utföra några få mycket fundamentala operationer. Dessa består av:

Läs eller skriv till en minnescell

Läs eller skriv till in/ut enhet

Godkänn en avbrottsbegäran

Alla instruktioner är egentligen mer eller mindre en serie av dessa operationer.

Var och en av dessa operationer kan tidsmässigt sträcka sig tre till sex klockperioder för att slutföras, eller de kan bli förlängda (av WAIT-signalen) för att synkronisera CPU:n med långsammare enheter. Klockperioderna kommer att refereras till som T lägen (state) och de angivna operationerna som M (Maskin) cykler.

I fig 1 illustreras hur en typisk instruktions cykel består av ett visst antal M och T lägen. Den här instruktionen består av tre maskincykler (M1, M2 och M3).

Den första maskincykeln i varje instruktion är en op-kodshämtning (operationskod) som är fyra, fem eller sex T lägen lång (om den inte blir förlängd med hjälp av WAIT).

Op-kodscykeln (M1) används för att hämta op-koden för nästa instruktion som ska utföras. De följande maskincyklerna förflyttar data mellan CPU:n och minnes- eller I/O-enheter, och de kan vara tre till fem T lägen långa (om de inte förlängs med WAIT).

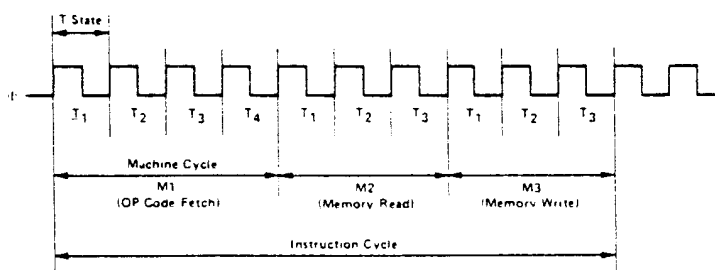


Fig. 1

Alla CPU:ns operationer kan visas med några få enkla tidsdiagram som visas i figurerna 2 till 5. Figurerna visar följande operationer med och utan WAIT lägen.

Fig. 2 Op-kods läsning (M1 cykel)

Fig. 3 Läsning och skrivning i minnet

Fig. 4 Läsning och skrivning till I/O enhet

Fig. 5 Interrupt Request/acknowledge cykel

Op-kods hämtning.

I fig. 2 visas tidsdiagrammet för en M1 cykel (op-kodshämtning). Notera att innehållet i PC (program counter) placeras på adressbussen i början av M1 cykeln.

En halv klockperiod senare blir MREQ aktiv. Adressen har nu hunnit att stabilisera sig på bussen så att den negativa flanken på MREQ kan användas för att göra CE (Chip Enable) på minnesenheten.

RD-signalen blir också aktiv för att indikera till minnesenheten att data i adresserad minnesposition ska läggas ut på databussen. CPU:n kommer att läsa av databussen på den positiva flanken under läge T3 och med samma flank gör CPU:n RD och MREQ inaktiva. CPU:n har läst av data på bussen innan RD blir inaktiv.

Under lägena T3 och T4 av en opkodshämtning görs en refresh av dynamiska minnen. CPU:n använder den här tiden till att avkoda och exekvera den hämtade instruktionen. Eftersom CPU:n inte gör någon yttre operation under den här tiden kan den användas för att utföra en refresh-operation.

Under T3 och T4 innehåller adressbussen (A0-A6) en refresh adress (från R-registret) och RFSH-signalen blir aktiv för att indikera en refresh av dynamiska minnen ska utföras.

Lägg märke till att RD-signalen inte är aktiv under RFSH tiden. Detta för att förhindra att data från minnet läggs ut på databussen.

MREQ-signalen under RFSH tiden ska användas för att göra en refresh läsning av minnet. RFSH-signalen kan inte ensam användas på grund av att refresh adressen bara garanteras vara stabil under tiden när MREQ är aktiv.

Fig. 2 visar ett tidsdiagram där WAIT-signalen aktiverats. Under T2 känner CPU:N av WAIT-signalen och så länge den är låg lägger CPU:n till T_w .

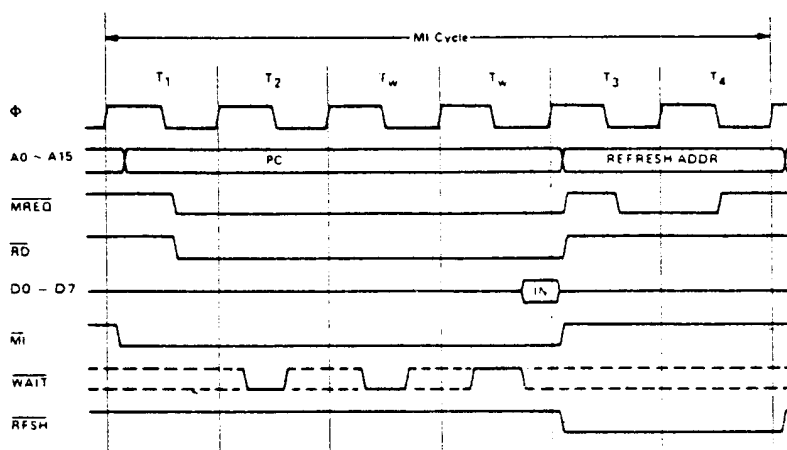


Fig. 2

Läsning och skrivning i minnet.

Fig. 3 visar tidsdiagrammet för en read eller write cykel som inte är en op-kodshämtning. Dessa cykler är vanligtvis tre klockcykler långa, om inte wait-lägen har tillförts via WAIT-signalen. MREQ och RD fungerar på samma sätt som under en M1 cykel.

Under en write cykel, indikerar MREQ att adressbussen är stabil. WR-signalen blir aktiv först när data på databussen är stabila och kan användas direkt som R/W-signal till minnet. WR-signalen går inaktiv en halv klockperiod innan adress och databuss ändras så att den kan användas för att klocka in data till minnet.

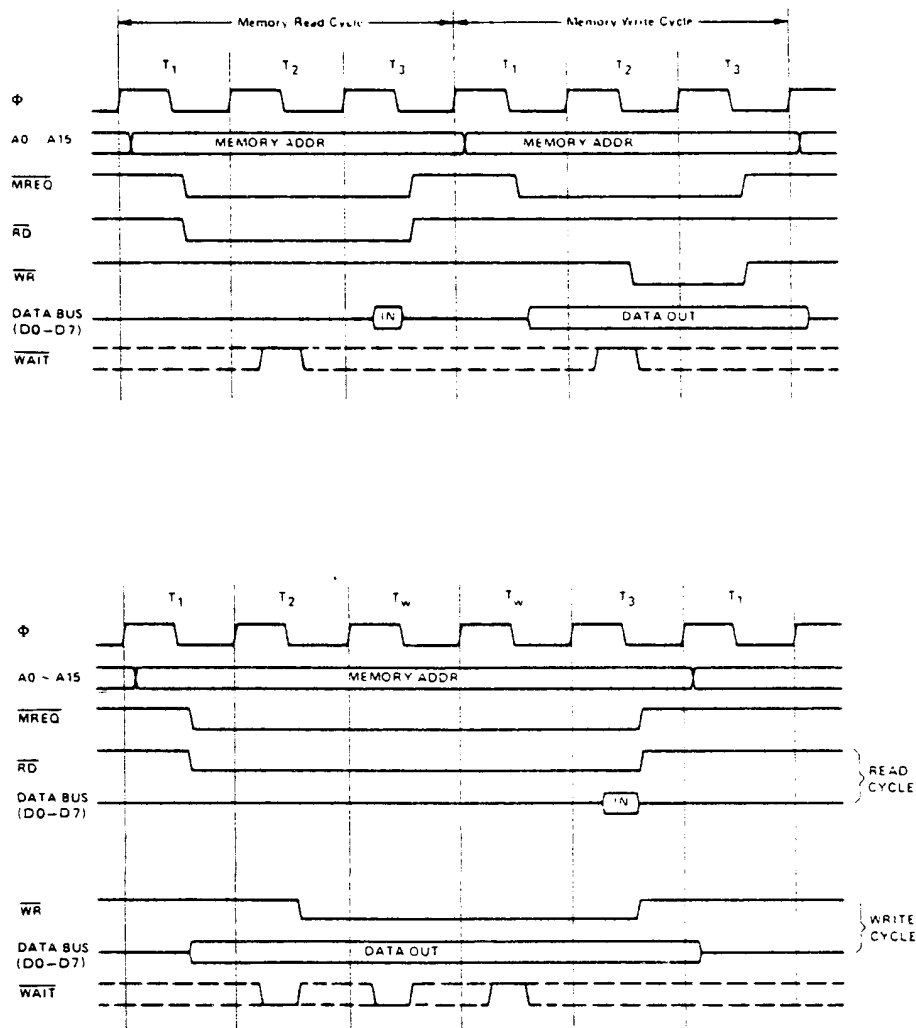


Fig. 3

Läsning och skrivning till I/O-enhet.

Fig. 4 illustrerar en I/O read eller en I/O write operation. Lagg märke till att under en I/O operation lägger CPU:n automatiskt till en wait period. Anledningen till det är att tiden från det att IORQ går låg tills CPU:n måste känna av WAIT-signalen, är mycket kort och utan den här wait perioden skulle inte I/O enheten, som adresseras, hinna avkoda adressen och generera en WAIT-signal. Under wait perioden känner CPU:n av värdet på WAIT-ingången.

Vid en I/O läsning används RD för att ge enable till den adresserade I/O porten så att den lägger ut data på bussen. CPU:n läser sedan av data på den negativa flanken under T3.

För en I/O skrivning aktiveras WR tillsammans med IORQ och WR-signalen går också här inaktiv en halv klockperiod före adress och databuss ändrar sig, så att den direkt kan användas för att skriva in data till adresserad I/O enhet.

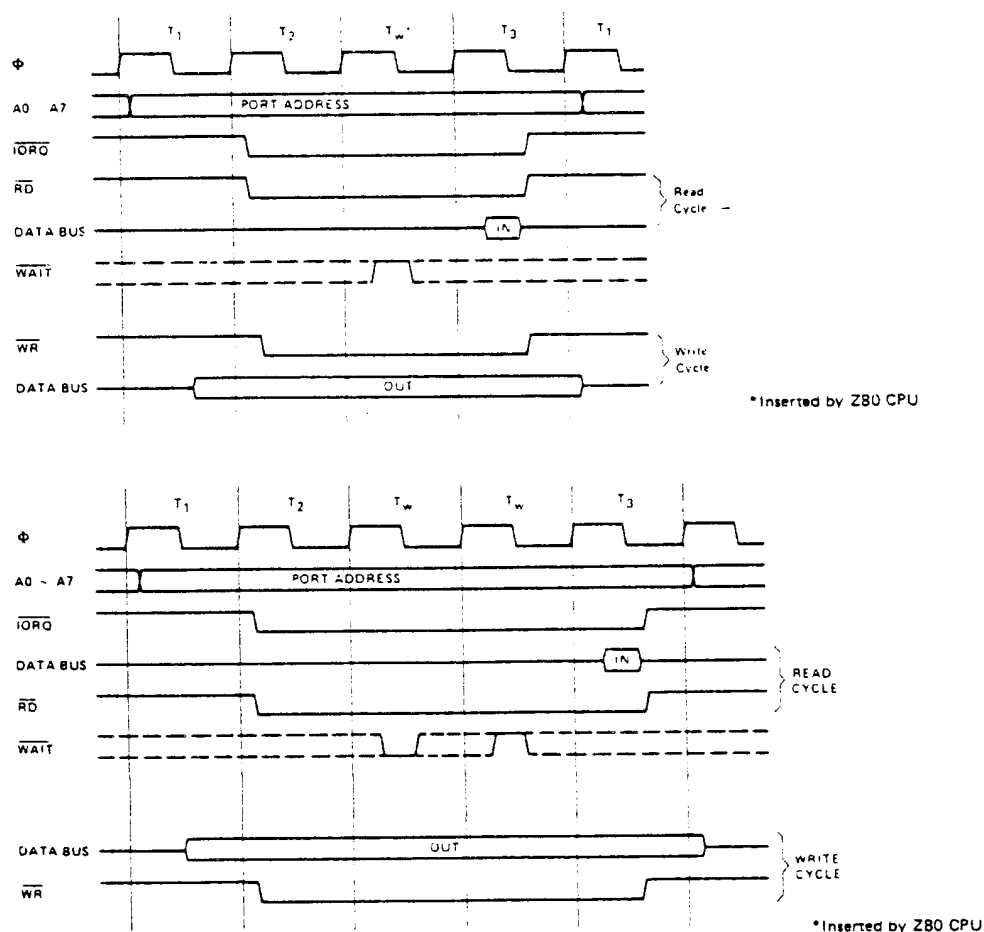


Fig. 4

Interrupt begäran.

Fig. 5 visar tidsdiagrammet för en interruptcykel. CPU:n känner av INT-signalen på den positiva flanken i sista T läget i varje instruktion. Interrupten accepteras inte av CPU:n om den interna enable flaggan inte är satt (av instruktionen DI) eller om BUSRQ är aktiv.

När signalen accepteras kommer en speciell M1 cykel att genereras. Under den här M1 cykeln kommer IORQ att genereras (istället för MREQ) för att tala om för den I/O enhet, som avgett interrupt signalen, att den kan placera en 8-bitars vector adress på databussen. Lägga märke till att två wait lägen är adderade till den här cykeln. De två wait lägena är till för att ge I/O enheten tid på sig att lägga ut vectorn på databussen.

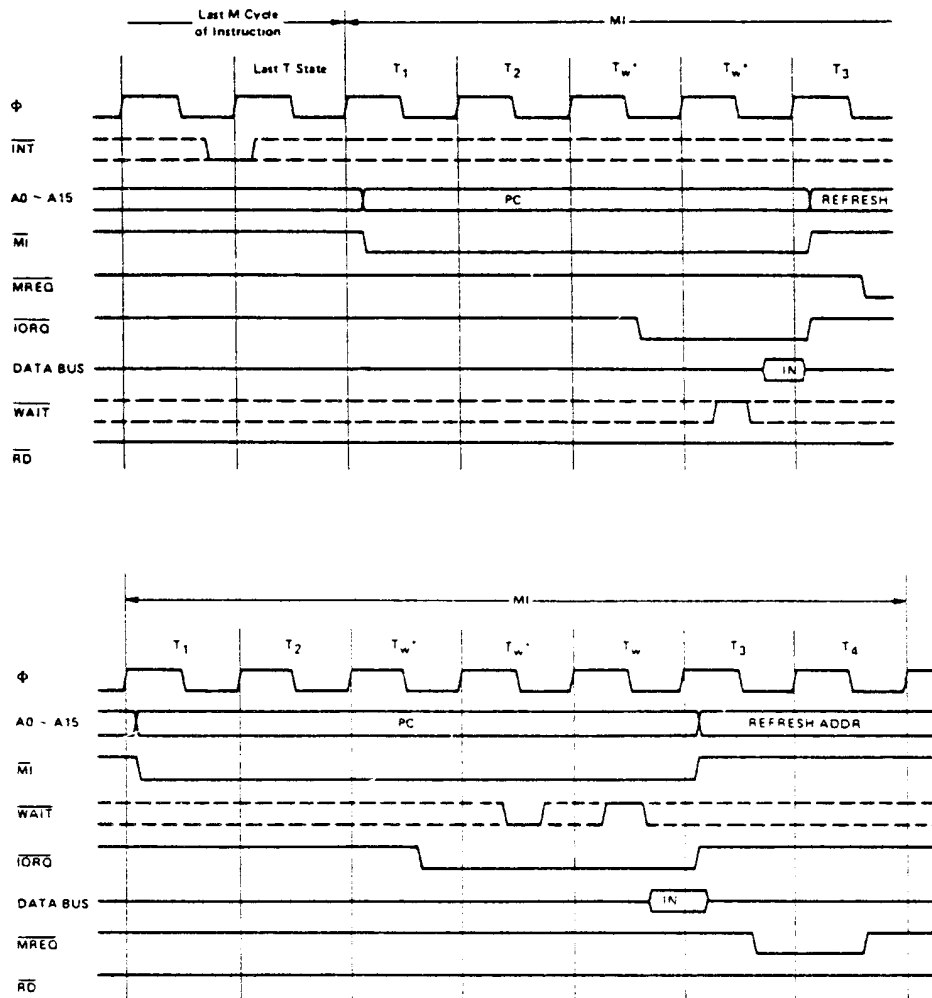


Fig. 5

I/O- och XMEM-avkodning (Schema nr 3)

När processorn utför en I/O-instruktion, lägger den ut en adress med ett värde som ligger mellan 0-255 på adressbitarna A0-A7. Dessa avkodas av ett antal kretsar vilka kommer att generera interna och externa I/O-strobar, beroende på vilken adress som läggs ut. Adress 0-31 och 128-255 genererar externa strobar medan adress 32-127 är reserverade för interna I/O-enheter (CTC, SIO/2, CRTC och DART). De senare genererar därför inga externa strobar.

De externa strobarna, som är anslutna till den 64-poliga busskontakten, används för kommunikation med externa I/O-enheter och de interna strobarna används för kommunikation med interna enheter.

OUT 0-5 och INP 0-1 är signaler som är anpassade mot 4680-systemets I/O-kort där de har speciella funktioner. För information om de I/O-kort som finns, se boken "BYGG UT ABC 80/800 DTC med Databoard 4680.

Vid adressering av interna I/O-enheter, användes I/O-stroben i kombination med adressbitarna för att aktivera den enhet som processorn vill kommunicera med.

Adressbitarna A4-A7 är kopplade till ingångarna på 1-av-8 avkodaren LS 138 i pos 13C (sp 6C). A7 låg aktiverar kretsen medan A4-A6 väljer utgång. Utgång 6 används som CE--signal till CTC, 4 ger CE till SIO/2, 2 ger CE till DART och utgång 3 ger CE till CRTC. Utgång 0 användes för att ge en av ENABLE-signalerna till de två 1-av-8 avkodarna 8205 i pos 16F och 15F.

De två 8205-kretsarna avkodar de tre minst signifikanta I/O-adressbitarna för att generera OUT 0-7 respektive INPUT 0, 1 och 2 strobar på busskontakten samt internt INPUT 7 (Bus reset). För att dessa strobar ska avges måste ENABLE-villkoren för de tre ingångarna vara rätt. Ingångarna E1 är gemensamma för de båda kretsarna, och likaså E3. E1 aktiveras från adressavkodaren LS 138 pos 13C när en adress < 16 läggs ut på adressbussen. E3 styrs från NOR-grinden, i pos 11C, som får hög nivå för I/O-adresserna 0-31 och 128-255.

Det sista ENABLE-villkoret på kretsarna bestäms av om det är en I/O-write eller en I/O-read operation som ska utföras. E2 på respektive krets styrs av kontrollsignalerna RD och WR.

Om en write-operation utförs med adress lägre än 7 avges

OUT-strob på respektive utgång, samtidigt som data läggs ut via bufferten i pos 15E (sp 2D), som ligger riktad utåt.

När en I/O-read görs måste databufferten riktas in mot CPU, samtidigt som INP-strob avges via 8205-kretsen i pos 15F. Databufferten styrs från JK-vippan i pos 12B (sp 4D) och multiplexern i pos 16B. JK-vippans Q-utgång, som är kopplad till databuffertens DIR-ingång, kommer att ligga på låg nivå så länge SET-ingången hålls hög från multiplexerns utgång Y1. Multiplexerns GATE-ingång styrs av RD* vilket innebär att den aktiveras endast vid read-operationer. För att skilja på I/O och Memory Read, styrs SELECT-ingången av MRQ.

Vid I/O-read kommer ingångarna märkta med 1 att vara kopplade till respektive utgång. Utgång Y1 har som insignal vid I/O-read, signalen XI/O, som avkodar interna och externa I/O-adresser. Om XI/O ligger hög, kommer Y1 att gå låg och sätter därmed vippans Q-utgång hög och bufferten riktas in mot CPU för läsning av data. För att inte konflikt ska uppstå mellan I/O-enheternas eventuella buffertar och databufferten, när denna riktas utåt igen, fördröjs tillbakagången ca 100nS.

XOUTSTB är en signal som läggs ut från 1-av-4 avkodaren LS139, pos 18H (sp 4F). Insignaler som avkodas är WR, BMRQ och XI/O. Utgång 1 kommer att gå låg var gång som WR och XI/O är aktiva, dvs när en I/O WRITE görs på adress 0-31 eller adress 128-255.

MEMWR avges alltid från utgång 2 på avkodaren när WR och BMRQ är aktiva. BMRQ är en buffrad invers av MRQ.

XINSTB kommer från utgång Y2 på multiplexern och aktiveras av RD och XI/O. XI/O indirekt via JK-vippan i pos 12B. XINSTB kommer att vara aktiv var gång en I/O-read görs på adress 0-31 och adress 128-255.

XMEMFL aktiveras från utgång Y3. Ingång 0, som avkodar LXM-signalen via utgång Y1 och JK-vippan i pos 12B, kopplas till Y3 var gång MRQ och RD går låga. Om LXM-signalen skulle vara hög, indikerar detta att läsning ska göras från ett yttre minne. Databufferten riktas in mot CPU och XMEMFL avges via Y3.

RESET, NMI och INT (Schema nr 3)

Generell resetsignal till ABC 802 kan genereras på tre olika sätt:

1. Vid nättillslag.
2. Genom att aktivera RES IN, stift 3A i den 64-poliga busskontakten.
3. När tryckomkopplaren (RESET) på baksidan av ABC 802:s bildskärm, eller baksidan av tangentbordet, trycks in.

När RESET-signal genererats på något av ovanstående sätt kommer RST-signalen att avges till CPU, CTC, SIO/2, DART och till den 64-poliga busskontakten.

RST-signalen, som går ut till den 64-poliga busskontakten, användes för att ge reset till externa I/O-enheter. RST-signal till externa I/O-enheter kan också genereras separat (via programstyrning) med instruktionen INP(7).

För att ge en säker reset i alla lägen, låter man NAND-grinden i pos 12D (sp 1F) styra transistor T5. Grindens utgång kommer att gå hög när någon av ingångarna går låg. Ingång 2 aktiveras vid nättillslag, då C30 laddas upp och ett spänningsfall uppstår över R34, vilket sänker ingången. Ingång 1 aktiveras av RES IN eller resetknappen (RESET).

När T5:s emitter höjs över en viss nivå, som bestäms av spänningsdelaren på basen, stryps T5 och ger hög nivå till RES-ingången på räknaren i pos 4E. T5 kommer att ligga strypt en viss minimitid som bestäms av RC-nätet R33 och C13, vilket garanterar att räknaren ges reset även vid en mycket kort aktiv signal från NAND-grinden.

När R-ingången på räknaren (pos 4E) går hög, nollställs Q-utgången, stift 7, och RST-signalen blir aktiv. Samtidigt öppnas OR-grinden i pos 4D och släpper fram klockpulser till räknaren. Då R-ingången till räknaren sedan går låg, börjar räknaren att räkna pulserna på klockingången. Efter åtta pulser går Q-utgången, stift 7, hög och stänger OR-grinden, samtidigt som den interna RST-signalen går hög. Den interna RST-signalens längd kan därmed inte bli kortare än tiden mellan åtta pulser på SLOW CLOCK-ingången. Pulserna SLOW CLOCK tas från stift 3 på räknaren 4020 i pos 3E (sp 1D, shema nr 5), och pulsavståndet är ca 16 ms.

Extern RST-signal kommer att aktiveras av den interna RST-signalen via NAND-grinden i pos 12D. Grindens utgång ger resetsignal till den andra räknaren i pos 4E, vilket gör att dess Q-utgång går låg och via buffertkretsen i pos 14C ger extern RST-signal. Då Q-utgången blir låg, öppnas OR-grinden i pos 4D och släpper fram klockpulser till räknaren. När sedan den interna RST-signalen går hög, sätts R-ingången låg och räknaren börjar räkna upp. Efter 16 pulser går Q-utgången hög och stänger OR-grinden samt gör den externa RST-signalen inaktiv. Detta gör att den externa RST-signalen blir minst 5.28 us längre än den interna RST-signalen.

Extern RST aktiveras också när INP-stroben på NAND-grinden går låg. Tiden på RST-signalen, i detta fall, blir längden på INP-stroben + 5.28 us, vilket blir ca 5.9 us.

NMI (Schema nr 3)

NMI begäran till CPU kan bara göras externt via den 64-poliga busskontakten, stift 24A. Signalen läggs in till CPU via en OR-grind i pos 11D (sp 9E). OR-grindens utgång kommer att gå låg när båda ingångarna, ingång 4 och 5, går låga. När NMI-ingången går låg, kommer CPU:n att lägga ut adress 0066H och hämta nästa instruktion. Instruktionen är ett hopp till RAM-minnet och leder till att en RST görs på systemet.

INT (Schema nr 1)

INT-funktionen används av CTC, SIO/2 och DART-kretsarna internt i systemet, men kan också användas från externa I/O-enheter via busskontakten. Extern interrupt läggs in via en komparator i pos 6C (sp 9B). Komparatorns utgång kommer att gå låg när plus-ingången får en lägre nivå än minus-ingången. I övrigt kan man se funktionen under avsnittet om Z-80A, vid INT.

INT begäran kan förhindras genom att minus-ingångens förspänning läggs på 0V, vilket görs genom att lägga låg nivå på basen till transistor T4. Basen på T4 styrs av "Interrupt Enable Out"-utgången på DART-kretsen, vilken kommer att gå låg när kretsen får ett godkännande på en INT begäran till CPU eller när dess IEI-ingång är låg. DART:ens Interrupt Enable IN-ingång styrs i sin tur från SIO/2:s IEO-utgång. SIO/2:s IEI-ingång styrs av CTC:s IEO-utgång. CTC:s IEI-ingång har lagts på +5V. De här signalerna används för att ge enheterna olika prioritet vid INT begäran till CPU. CTC har högsta prioritet och sedan SIO/2, DART och externa I/O-enheter i nu nämnd ordning.

64 kbyte RAM läs- och skrivminne (Schema nr 4).

Det dynamiska RAM-minnet på 64 kbytes består av 8 st 4864 med 64 kbyte i varje krets. Kretsarna är kopplade så att de bildar två block om vardera 32 kbyte. Det övre blocket är ett vanligt arbetsminne, med adressarea från 8000H till FFFFH. Det nedre blocket ligger parallellt med systemprogrammet, och är avsett för datalagring, vilket beskrivits tidigare.

Data till och från RAM-minnet skrivs/läses direkt från databussen.

Kretsarna har bara 7 adressgångar, vilket innebär att adresseringen görs i två steg. Först läses radadress in med hjälp av kontrollsignalen RAS* (Row Address Strobe), och sedan kolumnadress med signalen CAS* (Column Address Strobe).

RAM-minnet ges refresh under senare delen av FETCH-cykeln då CPU lägger ut RFSH-adress på A0-A7.

Signalen MRQ* avger via bufferten i pos 16B (sp 9E) RAS*-signal till RAM-kretsarna. När RAS*-signalen avges kommer adressbit BA8-A15, som är inkopplade via multiplexrarna i pos 14B och 15B, att läsas in som radadress. ADR SEL-signalen, från stift 14 på kretsen i pos 11B och som kontrollerar select-ingångarna till multiplexrarna, ska nu gå låg för att koppla in BA0-BA7 som kolumnadress till RAM-kretsarna. Vippan i pos 11B har BMRQ som insignal, och triggas av signalen F3, som har samma fasläge och frekvens som CPU-klockan. Detta gör att när BMRQ går hög, tar det ca 80 ns innan latchesen triggas, varvid ADR SEL-signalen går låg och kolumnadressen läggs in till RAM-kretsarna.

För att kolumnadressen ska läsas in måste signalen CAS* aktiveras. Detta görs genom att ADR SEL-signalen, som är kopplad till NOR-grunden i pos 9D (sp 8C), går låg. Signalen går vidare genom NAND-grunden i pos 12D, fördröjs i RC-nätet (kolumnadressen ska hinna bli stabil innan CAS* blir aktiv), inverteras och läggs in till NAND-grunden i pos 13B. Till NAND-grunden är också RFSH*- och CAS DIS*--signalerna anslutna, och om de är höga avger NAND-grunden CAS*-signal till RAM-kretsarna.

Aktiveringen av kolumnadrestroben kan förhindras av följande signaler: ROME*, LXM*, RFSH* och CAS DIS*. Dessa signaler aktiveras när minnesdelning sker.

ROME* är aktiv låg när CPU:n läser ROM-arean 0-32 k, och förhindrar kolumnadresstroben att aktiveras via D-latchen i pos 7D.

LXM* aktiveras av signalen XM* i busskontakten, som är aktivt låg när externt minne aktiveras. LXM* är kopplad till NAND-grinden i pos 12D, och förhindrar kolumnadresstroben att aktiveras. LXM* kommer också att förhindra signalen MRD* att aktiveras vilket kopplar bort ROM-minnet på adressområdet 0-32 k.

RFSH* signalen är kopplad till NAND-grinden i pos 13B, och förhindrar att CAS* avges under refresh adressering. Refresh av RAM-minnet görs under den senare delen av varje instruktions-cykel, genom att CPU lägger ut en adress på BAO-BA6 samt aktiverar RFSH*- och BMRQ*-signalerna. RFSH* av RAM-minnet görs även om externt minne används.

CAS DIS* är ansluten till NAND-grinden i pos 13B, och är aktivt låg när bildminnet adresseras.

Om data ska skrivas eller läsas i RAM-minnet, bestäms av signalen RD* som via latchen i pos 11B, kontrollerar WR*ingången på RAM-kretsarna. RD* är aktiv låg när CPU vill läsa i minnet.

En av vipporna i pos 11B, används som frekvensdelare och delar F3 med 2, och ger, via stift 6, timer-signal på 1.5 MHz till CTC-kretsen.

32-kbyte ROM läsminne (Schema nr 4).

ROM-arean, som är uppdelad i 4 block om vardera 8 kbyte, består av 4 PROM-kretsar 2764.

Adressarean är 0000H till 7FFFH. På adress 7800H till 7FFFH ligger samtidigt 2kbyte Video-RAM parallellt inkopplat.

Med adressbitarna BA0-BA12 (Buffrad Adress) adresserar man sig inom varje block och med adressbitarna A13-A15 väljer man vilket block som ska adresseras.

ABC 0, 1 och 2 innehåller BASIC-interpretatorn och övriga rutiner som behövs för att systemet ska fungera. ABC 3 innehåller i ena halvan Disk Operativ Systemet, och i andra halvan Options-rutiner. Där finns drivrutiner för de två V24-kontakterna, terminalrutin (ADM 3A) och TELEDATA m m. Se anvisning för Option-PROM som medföljer varje ABC 802.

Data från ROM-kretsarna läses via en buffert (pos 14G).

Buffertens två ENABLE-ingångar styrs av signalerna MRD* och ROM E*. MRD*, som är en kombination av CPU-signalerna MRQ* och RD*, är aktiv låg var gång läsning görs i minnet. ROM E* (ROM Enable) signalen kommer från kombinationsgrinden LS 55 (pos 9C) och är aktiv låg när minnen som använder sig av bufferten adresseras (0000-7FFF).

MRD*-signalen används för att göra OE* på ROM-kretsarna, medan CE*-ingången till varje krets styrs från 1-av-4 avkodaren i pos 18H. Avkodaren kontrolleras av adressbitarna A13-A15 där A15 användes för att göra ENABLE på kretsen vilket innebär att adresserna 0000 till 7FFFH kommer att avkodas.

Utgångarna på 1 av 4 avkodaren är aktivt låga för respektive 8 kbytes minnesblock och gör CE* på motsvarande minneskrets.

AND-grindarna i kombinationskretsen LS 55 (pos 9C) är via en NOR-grind kopplad till utgången på stift 8. Funktionen blir att när någon av AND-grindarnas utgång går hög, inverteras signalen i NOR-grinden och signalen ROM E* blir aktiv, så att data från ROM arean, 0-32 k, kan läggas ut via databufferten.

Med hjälp av insignalerna till de två AND-grindarna kontrolleras minnesdelningen av bildminnet och Options-PROMet, och bortkopplingen av ROM- och bildminnet för att få en 64-kbyte RAM-maskin.

ROME* aktiveras av den högra AND-grinden i LS 55-kretsen, för adresserna 0-30 k, medan den vänstra AND-grinden aktiverar ROME* för adresserna 30-32k. Signalen på pin 4 är låg för adresserna 32-64 k, och förhindrar då ROME* att aktiveras. Ingångarna 3 och 11, kontrolleras från multiplexern i pos 8D, medan ingång 1 och 10 kontrolleras av D-latchen i pos 7D.

Multiplexern styrs på Enableingången av samma signal som gör CE* på DOS/Option-PROM:et, vilket innebär att kretsen bara är aktiv för adressområdet 6000H till 7FFFH. Select-ingången kontrolleras av adressbitarna A11, A12 och RFSH*, via NAND-grinden i pos 12C. Select-ingången kommer att vara låg för adress 7800H till 7FFFH, där bildminnet kan kopplas in, och hög för adress 6000H till 77FFFH.

Utgången 3Y, stift 9, kommer att vara låg från adress 7800H till 7FFFH, vilket gör att D-latchen kommer att lägga Q*-utgången hög när CPU gör en FETCH (M1* låg) på dessa adresser och aktiverar ROME* via den vänstra AND-grinden i LS 55kretsen.

Om det bara hade varit en läsning eller skrivning på dessa adresser, M1* hög, hade Q*-utgången hade varit hög och via utgång 4Y, stift 12, aktiverat VR* (Video Ram) signalen, vilket gjort att CPU:n adresserat videominnet samtidigt som Q*-utgången varit låg och ROME* inte aktiveras.

Det här innebär att när CPU gör FETCH på adress 7800H till 7FFFH, så adresseras DOS/Option-PROM:et. Men om adress 7800H till 7FFFH läggs ut för att läsa eller skriva data, så adresseras istället Video RAM.

Ingångarna pin 2 och 12 till AND-grindarna kontrolleras av LRS*-signalen. LRS*-signalen kommer när den är aktiv, att förhindra ROME*, vilket innebär att ROM-minnet kopplas bort och 64 k RAM är inkopplat. Bildminnet kopplas även ur när LRS* är aktiv.

LRS* (Low RAM Select) kontrolleras från DART:ens DTR* utgång i kanal B, stift 25.

För att nå DART:ens DTR* i kanal B, skriver man till WRITE REGISTER 5 i Z80 DART.

WRITE REGISTER 5:

Databit	Funktion	Initialvärde
D0	Tx CRC enable	0
D1	RTS	0/1 ger 80/40 tecken/rad
D2	SDLC/CRC16	0
D3	Tx ENABLE	1
D4	SEND BREAK	0
D5	WORD LENGTH	1
D6	WORD LENGTH	1
D7	DTR	0/1 ger 32 kbyte ROM/RAM

Adress till DART kanal B kontroll är 23H (35 dec).

Datalagring i 32 kbyte RAM från assembler.

Att från assembler-program, flytta data till och från den nedre RAM-arean, på 32 kbyte, sker enklast genom att använda en rutin, som tillsammans med speciell hårdvara, kopplar in och ur minnet. I slutet på Option-PROM:ets adresser, adress 7FFDH (32765 dec), finns rutinen LDIR RET.

Här följer ett exempel på en assembler-rutin som flyttar 2 kbyte (800H) med startadress C000, till adress 0000 och 2 kbyte uppåt:

```
LD HL,0C000H   Adress där data ska hämtas.
LD DE,00000H   Adress där data ska lagras.
LD BC,0800H    Antal byte som ska flyttas.
JP 07FFD      Adress till rutin som flyttar data.
               Hit kommer vi tillbaka efter flyttning
               av data.
```

Datalagring i 32 kbyte RAM från Basic.

Från Basic är minnesarean åtkomlig via enheten MEM: (se bruksanvisning och Basic-manual för ABC 802).

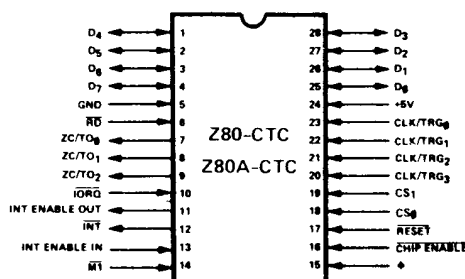
```
Exempel: 10 OPEN "MEM:" AS FILE 1
          20 FOR I=0 TO 255  :! Lagra 256 byte i MEM:
          30 PUT ?1 CHR$(I) :! 0.....255
          40 NEXT I
          50 CLOSE 1
```

CTC

Z80 CTC (Counter Timer Circuit) är en programmerbar krets med fyra av varandra oberoende kanaler, där varje kanal innehåller räknare och tidsfunktioner för mikro dator system baserade på Z80 CPU. Några funktioner i CTC är följande:

- Var och en av kanalerna kan väljas att arbeta i antingen countermode eller timermode.
- I varje mode finns en nedräknare vilken räknas ned av klockpulser på CLK/TRG ingången eller av systemklockan på pin 15. Räknaren kan läsas av CPU och visar hur långt den har kvar till noll.
- Systemklockan delas valbart med 16 eller 256.
- Ett tidskonstant register som automatiskt om-laddar nedräknaren när den räknat till noll.
- Valbart positiv eller negativ trigg på klock-ingången, för att initiera tidsfunktioner i timer mode. Samma ingång används som klocka för nedräknaren i countermode.
- Tre av kanalerna har en utgång som indikerar med en puls att räknaren har kommit till noll i countermode och timermode.
- Varje kanal kan programmeras för att avge en interrupt när räknaren kommit till noll. Varje kanal avger en egen interrupt vektor.

CTC pin konfiguration.

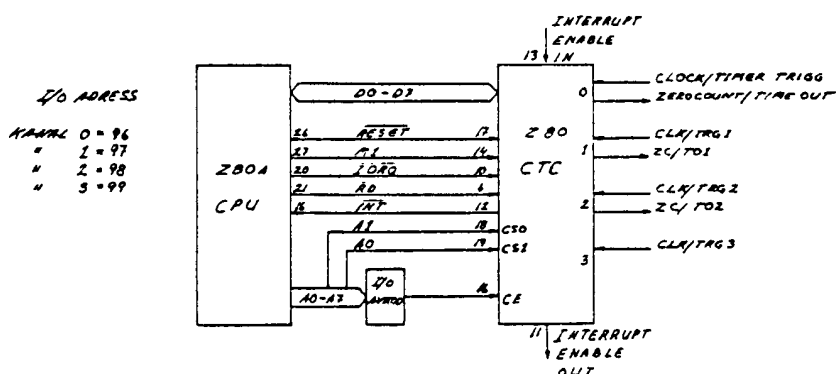


- D7-D0 Z80-CPU data buss (dubbelriktad, tri-state).
Bussen används för att överföra alla data och kommando ord mellan CPU:n och CTC.
- CS1-CS0 Channel Select (ingång).
Är en två bitars adress som väljer ut en av kanalerna för en I/O write eller read.
- | | CS1 | CS0 |
|------|-----|-----|
| CH 0 | 0 | 0 |
| CH 1 | 0 | 1 |
| CH 2 | 1 | 0 |
| CH 3 | 1 | 1 |
- Är i ABC 802 anslutna till BAO och BA1 (se shema nr 1).
- CE Chip Enable (ingång, aktiv låg).
Gör att CTC:n accepterar kontrollord, interrupt vektorer eller tidskonstant data från databussen under en I/O write cykel eller lägger ut innehållet i räknaren under en I/O read.
CE aktiveras i ABC 802 av avkodade I/O adressbitarna A7-A6 medan A0-A1 väljer kanal.
- 0 System Clock (ingång).
En klocksignal som synkroniserar signaler i CTC med CPU:n samt styr andra kontrollsignaler i CTC.
- M1 M1-signalen från CPU:n (ingång, aktiv låg).
När M1 är aktiv tillsammans med MREQ hämtar CPU:n en instruktion från minnet. När M1 är aktiv tillsammans med IORQ indikerar det ett godkännande på en interruptbegäran. CTC kommer då att placera en interruptvektor på databussen om någon av kanalerna har aktiverat INT-signalen.
- IORQ Input/Output Request från CPU:n (ingång, aktiv låg).
IORQ tillsammans med CE och RD signalerna överför data eller kontrollord mellan CPU:n och CTC:n.
Under en CTC write cykel måste IORQ och CE vara aktiva och signalen RD inaktiv. CTC:n har ingen separat kanal för write, utan genererar en egen write-signal internt om RD är hög.
Om IORQ och M1 är aktiva, godkänner CPU:n en avbrottsbegäran och CTC:n lägger ut en interruptvektor på databussen.
- RD Read från CPU:n (ingång, aktiv låg).
Aktiverar tillsammans med CE och IORQ en läsoperation eller om RD är hög en skrivoperation.

IEI	Interrupt Enable In (ingång, aktiv låg). Den här signalen använd för att i ett system inordna olika enheter i en kedja med olika prioritet för att begära interrupt. En hög nivå talar om för kretsen att ingen annan enhet med högre prioritet har avgett interrupt till CPU:n. Om den varit låg hade CTC:n inte aktiverat sin INT-signal, utan väntat till IEI blivit hög.
IEO	Interrupt Enable Out (utgång, aktiv låg). IEO-signalen kommer att aktiveras om någon av kanalerna i CTC:n har avgett interrupt och fått ett godkännande på densamma eller om IEI ingången har blivit aktiv, vilket indikerar att en enhet med högre prioritet ligger i en interrupt-rutin.
INT	Interrupt Request (ingång, aktiv låg). Aktiveras när en kanal har programmerats så att den ska avge interrupt när dess räknare har räknat ner till noll.
RESET	Reset (ingång, aktiv låg). Nollställer CTC kretsens register och sätter signalerna ZC/TO och INT till inaktivt läge och data utgångarna till högimpedivt läge.
CLK/TRG	External clock/Timer trigger (ingång). Det är fyra CLK/TRG ingångar, en för respektive kanal. I counter mode kommer varje aktiv flank att räkna ner räknaren med ett. I timer mode kommer en aktiv flank att starta nedräkningen i räknaren. Vilken flank som ska vara aktiv bestäms i programmeringen av kretsen.
ZC/TO	Zero Count/Time Out (utgång, aktiv hög). Det finns tre ZC/TO utgångar, en för varje kanal 0-2, medan kanal 3 inte har någon sådan utgång. I både counter och timer mode kommer en aktiv hög puls att avges var gång räknaren räknat ner till noll (i timer mode räknas räknaren ned av systemklockan delat med 256 eller 16).

CTC adressering och programmering.

CTC är inkopplad till CPU:n enligt figuren nedan. Adressbitarna A7-A5 avkodas i I/O avkodningen vilken kommer att göra Chip Enable på CTC kretsen. A0 och A1 är kopplade till CS0 och CS1, för att välja vilken kanal som CPU:n ska kommunicera med.



CTC adressering.

De I/O adresser som används för CTC kretsen är följande:

- Kanal 0 = Adress 96 (01100000B,60H)
- Kanal 1 = Adress 97 (01100001B,61H)
- Kanal 2 = Adress 98 (01100010B,62H)
- Kanal 3 = Adress 99 (01100011B,63H)

CTC:ns CLK/TRG ingångar för kanal 0-2, är anslutna till en klocksignal på 1.5 MHz. Denna används för att räkna ned ett register i CTC:n. Även klockan på pin 15 (3 MHz), kan användas för att räkna ned registret. Vilken av de båda klocksignalerna som används beror på vilken frekvens man vill ha ut på ZC/TO utgångarna.

ZC/TO utgångarna på kanal 0-2, används för att ge sändnings och mottagningsklock till SIO/2 och DART kretsarna.

Kanal 3:s CLK/TRG ingång är kopplad till SIO/2 kanal A:s klockingång som bestämmer sändningshastigheten. Den kan användas för att eventuellt mäta klockfrekvensen eller titta efter om där finns någon klocksignal.

CTC:n programmeras vid initiering av system ABC 802, så att kanal 3 kommer att generera interrupt till CPU:n med ett intervall av 10.6 mS. Den här interruptrutinen används för att räkna tiden i Basic funktionen TIME#. Rutinen räknar i ett antal minnespositioner upp sek, min, tim, datum, månad

och år. Dessa måste naturligtvis sättas efter varje gång som strömmen varit avslagen från systemet.

De minnespositioner som används för de här värdena är följande:

(FFF4H) 65524 = Sekunder
(FFF3H) 65523 = Minuter
(FFF2H) 65522 = Timmar
(FFF1H) 65521 = Datum
(FFF0H) 65520 = Månad
(FFEFEH) 65519 = År

De övriga kanalerna i CTC:n programmeras inte förrän någon av de två kanalerna för seriell överföring programmeras.

Programmeringen av CTC kretsen görs genom att skriva till kontrollregistren för respektive kanal. Nedan följer en kort beskrivning av registren. Värdena som är angivna är de värden som sätts vid reset av ABC 802.

Programmering av kontrollregistret (kanal 3).

D7	D6	D5	D4	D3	D2	D1	D0	
!	!	!	!	!	!	!	1	--Identifierar ett kontrollord.
!	!	!	!	!	!	!	0	-----Kanalen slutar räkna. Inget registervärde ändras.
!	!	!	!	!	!	!	1	-----Nästa data som skrivs till kanalen kommer att hamna i tidskonstantregistret.
!	!	!	!	!	!	!	0	-----Används bara i timer mode. Anger om nedräkningen ska startas med en puls på CLK/TRG ingången. Om 0, startar nedräkningen när tidskonstantregistret laddats.
!	!	!	!	!	!	!	0	-----Anger vilken flank på CLK/TRG ingången som timer/count funktionen ska starta (1=pos).
!	!	!	!	!	!	!	1	-----För timer mode. Angerdelningsfaktor för systemklockan 1=256, 0=16.
!	!	!	!	!	!	!	0	-----Väljer mode. 1=Counter mode, nedräkning sker med CLK/TRG ingången. 0=Timer mode, nedräkningen sker med systemklockan delat med 256/16
!	!	!	!	!	!	!	1	-----Enable interrupt. Var gång som räknaren innehåller noll, kommer en interrupt att genereras. Innan den här biten sätts, måste en interruptvektor ha laddats in till CTC:ns kanal 0

Programmering av tidskonstantregister.

D7 D6 D5 D4 D3 D2 D1 D0--Innan kanalen kan börja fungera enligt kontrollregistret, måste det här registret laddas med ett värde. Innehållet i det här registret laddas in i räknaren var gång den räknat till noll.

Programmering av interruptvektor.

D7	D6	D5	D4	D3	D2	D1	D0	
!	!	!	!	!	!	!	!	0--Identifierar att det är en interruptvektor som laddas.
!	!	!	!	!	!	!	!	
!	!	!	!	!	0	0		-----De här två bitarna räknar CTC:n själv ut när den lägger ut vektorn.
!	!	!	!	!				
!	!	!	!	!	0	0		Kanal 0
!	!	!	!	!	0	1		Kanal 1
!	!	!	!	!	1	0		Kanal 2
!	!	!	!	!	1	1		Kanal 3
1	1	0	1	0				-----Den del som bestäms av användaren.

Vid en interrupt till CPU:n kommer den att läsa in vektorn och använda den tillsammans med innehållet i I-registret, för att få fram en adress till en position i minnet där den ska hämta adressen till interruptrutinen för respektive kanal.

Adresserna i minnet för respektive kanal där adressen till interruptrutinen ligger är följande:

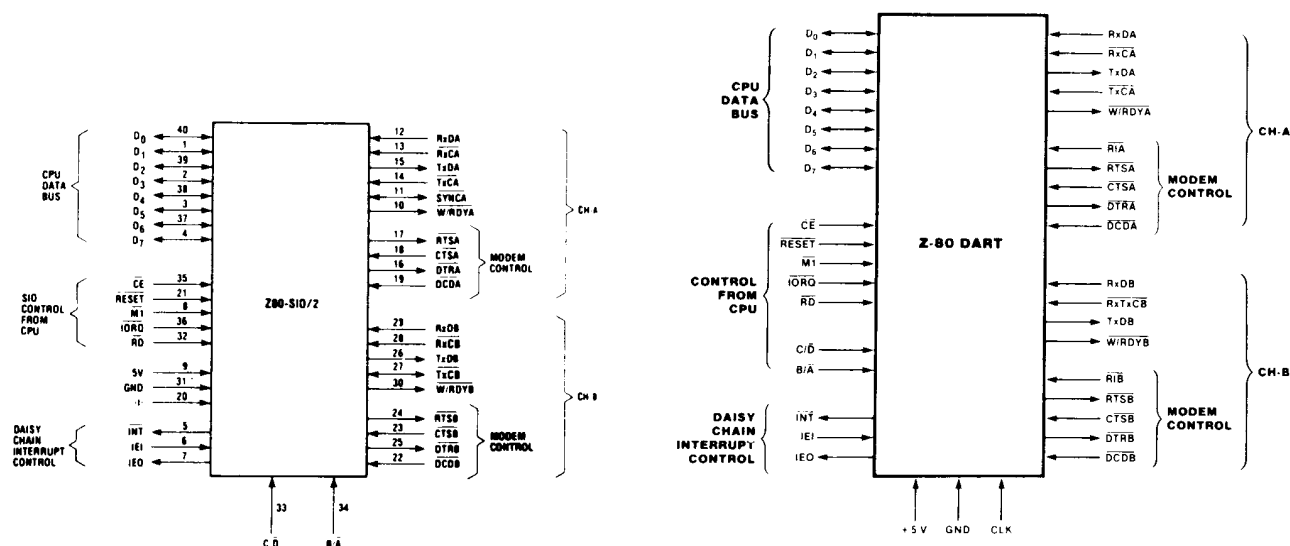
(FFD0H)	65488	LSB	Kanal 0
(FFD1H)	65489	MSB	
(FFD2H)	65490	LSB	Kanal 1
(FFD3H)	65491	MSB	
(FFD4H)	65492	LSB	Kanal 2
(FFD5H)	65493	MSB	
(FFD6H)	65494	LSB	Kanal 3
(FFD7H)	65495	MSB	

SIO/2 och DART

Z80 SIO (Serial Input/Output) och DART (Dual Asyncon Receiver Transmitter) är kretsar med två kanaler, som är programmerbara för olika funktioner och konstruerade för att klara ett brett område av seriell kommunikation i ett mikrodatorsystem. Grundfunktionen är att omvandla data från parallell till serieform eller från serie till parallella data. Några av funktionerna i SIO/2 och DART är följande:

- Två av varandra oberoende kanaler som kan och ta emot data i full duplex.
- Fyra bytes buffer vid mottagning och två bytes vid sändning.
- Vid asynkron överföring:
 - 5, 6, 7 eller 8 bit/tecken
 - 1, 1 1/2 eller 2 stoppbitar
 - Jämn, udda eller ingen paritet
 - Paritetsfel, överskrivnings detektering
 - Klockfrekvensen kan vara bithastigheten x1, x16, x32 och x64
- Vid synkron överföring: (ej DART)
 - Intern eller extern tecken synkronisering
 - En eller två synktecken i separata register
 - Automatisk sändning av synktecken
 - CRC generering och kontroll av CRC
 - Kan sända och ta emot HDLC och IBM SDLC
- Separata modem kontrollsignaler för båda kanalerna.
- Modem status kan övervakas.

Pinkonfiguration SIO/2 och DART.



- DO-D7 Data buss (dubbelriktad, tristate).
Bussen används för att överföra data och kommando ord mellan CPU och SIO2/DART.
- CE Chip Enable (ingång, aktiv låg).
Aktiverar SIO2/DART för att ta emot data eller lägga ut data på bussen under en läsoperation. Aktiveras i ABC 802 av en avkodad I/O adress.
- B/A Selekt kanal A eller B (ingång, hög selekterar kanal B).
Med den här ingången bestämmer man vilken kanal man ska kommunicera med under en läs eller skrivoperation. I ABC 802 används A0 för att välja kanal.
- C/D Control/Data select (ingång, hög = Control).
Med den här ingången bestäms hur SIO2/DART:n ska tolka data som skrivs till den. En hög nivå gör att data tolkas som kommando för den kanal som är vald med signalen B/A. En låg nivå innebär att informationen som läses eller skrivs är data.
- 0 System clock (ingång).
används för att synkronisera interna signaler samt synkronisera SIO2/DART med CPU:n.
- M1 M1 från CPU (ingång, aktiv låg).
När M1 är aktiv tillsammans med MRQ hämtar CPU:n en instruktion från minnet. När M1 är aktiv tillsammans med IORQ indikerar det ett godkännande på en interruptbegäran. SIO2/DART:n kommer då att placera en interrupt vektor på databussen om någon av kanalerna har aktiverat INT-signalen.
- IORQ Input/Output Request från CPU:n (ingång, aktiv låg).
IORQ tillsammans med CE och RD-signalerna överför data eller kontrollord mellan CPU och SIO2/DART:n. När CE, IORQ och RD är aktiva kommer data/kontrollord att läsas från adresserad kanal. När CE och IORQ är aktiva och RD inaktiv, kommer data/kontrollord att skrivas till SIO2/DART.
Om IORQ och M1 är aktiva samtidigt innebär det ett godkännande på en interruptbegäran från CPU, och om kretsen har genererat en INT-signal ska den lägga ut en interruptvektor på bussen.
- RD Read från CPU:n (ingång, aktiv låg).
Aktiverar tillsammans med CE och IORQ, en läsoperation, eller om RD är hög en skrivoperation.
- IEI Interrupt Enable In (ingång, aktiv låg).
Den här signalen används för att i ett system inordna olika enheter i en kedja med olika prio-

ritet, för att begära interrupt. En hög nivå talar om för kretsen att ingen annan enhet med högre prioritet har avgett interrupt till CPU:n. Om den varit låg hade kretsen inte aktiverat sin INT-signal, utan väntat tills IEI-signalen blivit hög.

- IEO Interrupt Enable Out (utgång, aktiv låg).
IEO-signalen kommer att aktiveras om någon av kanalerna i SIO2/DART har avgett interrupt och fått en godkännande på densamma, eller om IEI ingången har blivit aktiv vilket indikerar att en enhet med högre prioritet ligger i en interruptrutin.
- RESET Reset (ingång, aktiv låg).
En aktiv RESET inaktiverar både sändning och mottagning och lägger TxD-signalerna och modem signalerna på hög nivå. Registren i SIO2/DART:n måste sedan omprogrammeras.
- INT Interrupt Request (utgång, aktiv låg).
När SIO2/DART har programmerats för att avge interrupt, kommer en interruptbegäran till CPU:n att göras genom att SIO2/DART:n aktiverar INT-signalen.
- W/RDY Wait/Ready (utgång).
(CH A, B) Kan programmeras för att fungera antingen som en WAIT-signal för synkronisering med CPU:n eller READY-signal vid DMA överföring.
- CTS Clear To Send (ingång, aktiv låg).
(CH A, B) Kan programmeras för Auto enable, för sändning av data, vilket innebär att CTS-signalen måste vara låg för att data ska sändas på TxD. Nivån på CTS kan läsas av via ett register.
SIO2/DART:n kan programmeras så att den avger interrupt när ett omslag sker på CTS-signalen.
- DCD Data Carrier Detect (ingång, aktiv låg).
(CH A, B) Funktionen är densamma som för CTS-signalen med skillnaden att den kan användas för att göra mottagning av data möjlig.
- RxD Receive Data (ingång).
(CH A, B) Ingång för serie data.
- TxD Transmit Data (utgång).
(CH A, B) Utgång för serie data.
- RxC Receiver Clocks (ingång).
(CH A, B) I asynkron mode kan mottagarklockan vara 1, 16, 32 eller 64 gånger överföringshastigheten av data. RxD ingången avkänns under den positiva flanken på RxC signalen.
- TxC Transmitter clock (ingång).
(CH A, B) I asynkron mode kan sändningsklockan vara 1, 16, 32 eller 64 gånger överföringshastigheten av

data. Klockan delas ned internt i kretsen och multipeln måste vara lika för både RxC och TxC. TxD utgången växlar data på den negativa flanken på TxC.

- RTS Request To Send (utgång, aktiv låg).
(CH A, B) I asynkron mode blir RTS hög när sändningsbufferten är tom, och låg när data har laddats i bufferten. Kan kontrolleras av CPU:n via ett register.
- DTR Data Terminal Ready (utgång, aktiv låg).
Kontrolleras av CPU:n via ett register.
- SYNC Synchronization (ingång/utgång, aktiv låg) SIO/2
- RI Ring Indikator (ingång, aktiv låg) DART
I asynkron mode fungerar den liknande som CTS och DCD, och kan läsas av CPU:n via ett register.

Skillnaderna på SIO/2 och DART kretsen är att DART kretsen inte kan sända eller ta emot synkrona data vilket SIO/2 kretsen kan. Det skiljer också på pin konfigurationen mellan kretsarna. På grund av att pinnarna inte räcker för att ha alla signalerna RxC, TxC, READY, SYNC och DTR i båda kanalerna samtidigt, tar man bort en av dem i kanal B. På SIO/2 saknas SYNC-signalen och på DART:n har man en gemensam klockingång för RxC, TxC.

Adressering av SIO/2.

SIO/2 kretsen är inkopplad till CPU:n enligt fig. Adressbitarna A7-A5 avkodas i I/O avkodningen och aktiverar CE på SIO/2 kretsen. A0 är kopplad till B/A och väljer kanal och A1 är kopplad till C/D för att ange om dataöverföringen gäller data eller kontroll ord.

I/O adresser som används för SIO/2 kretsen är följande:

Kanal A (V24:) Kontroll = Adress 65 (01000001B,33H)
Data = Adress 64 (01000000B,32H)

Kanal B (CAS:) Kontroll = Adress 67 (01000011B,35H)
Data = Adress 66 (01000010B,34H)

IEI (Interrupt Enable In) på SIO/2 kretsen är kopplad till CTC kretsens IEO (Interrupt Enable Out) utgång vilket innebär att SIO/2 kretsen får en lägre prioritet vid interrupt än CTC:n. Inom kretsen har kanal A en högre prioritet än kanal B.

SIO/2:s anslutning till RS232 kanal B.

Det är SIO/2:s kanal B som sänder och tar emot data från ABC 802 RS232 port Kanal B på kommunikationskortet. Hur anpassningen är gjord visas i schemat för kommunikationsmodulen (se i slutet på manualen), vilket kan vara lämpligt att ha framme vid fortsatt läsning. De signalanslutningar som är märkta med A (till vänster i schemat), går till DART:en medan de med B går till SIO/2 kretsen.

Utsignalerna från SIO/2 kretsen har TTL nivå och görs därför om till RS232 nivå i de sk. "Line Drivers", som ger ca -7V för en hög nivå och +7V för en låg nivå.

Kretsarna är av typ MC1488 som spänningsmatas med +-9V och är kapabla att driva en utgångsström på 10mA. Utgångsimpedansen är 300 ohm.

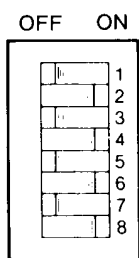
Signalerna in från RS232 kontakten matas till speciella mottagare kretsar som gör om från RS232 nivå till TTL nivå. Kretsarna har också en separat ingång där man ansluter en kondensator för att filtrera bort brus och andra störningar på insignalen. Kretstypen är MC1489.

Kanal B är den kanal som utformats för en generell användning. Här ansluter man t.ex modem vid terminalkörning med asynkron eller synkron överföring. Om man använder datorn i ett ABC NET system ska anslutningen ske här, osv.

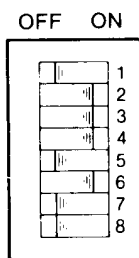
För att kunna klara av olika överföringstyper finns en omkopplare som man ställer om för olika funktioner.

Figuren visar hur omkopplarna ska ställas för några olika användnings områden.

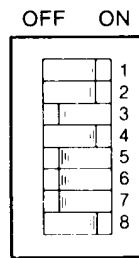
- Omkopplarens olika inställningar



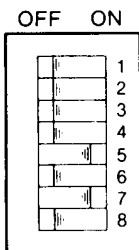
Omkopplarens inställning vid leverans.
Asynkron kommunikation, single speed



Asynkron kommunikation, split speed



ABC NET



Synkron kommunikation

Transistorerna T1 och T2 fungerar som drivsteg vid anslutning till ABC NET. TxD är kopplad till förstärkarsteget och kommer att kopplas till pin 6 när omkopplaren ställs in enligt fig. ovan.

Effektförstärkningen är ca 3x nominella drivförmågan på RS232-signalen (ca 30 mA). I centralenheten för ABC NET sitter ett pull down motstånd på 470 ohm anslutet till -12V, vilket gör att signalnivån kommer att bli +-7V.

Utgången är också försedd med ett avstörningsfilter för radiofrekvenser.

När anslutningen till ABC NET görs måste också DOS PROM:et bytas ut mot ett prom som innehåller drivrutiner för ABC NET.

Kanal B på SIO/2 används i ABC 802 systemet för att sända och ta emot data från ett yttre kassetminne.

Allmänt om anslutning av periferiutrustning.

Om man ska ansluta någon form av periferiutrustning till kanal B, så ska den givetvis ha en anslutning med RS232.

Sedan måste man göra en anslutningskabel eftersom det vanligtvis är en 25-polig anslutningskontakt på enheten och ABC 802 har en 9-polig.

Funktionerna på signalerna är standardiserade men eftersom man kan tolka standard på olika sätt, varierar signalfunktionerna ibland.

I anslutningen till ABC 802 är det två signaler förutom TxD och RxD som är viktiga för att sändning och mottagning ska fungera.

Drivprogrammen för V24: kanalen kontrollerar, när man gör "open V24: as file 1", att DCD-signalen in på kontakten är hög. Om så inte är fallet kan drivrutinen ligga kvar och vänta tills DCD blir hög. Det fenomenet kan man få bort genom att ange en parameter när man öppnar filen. Då kommer man att få en retur från drivrutinen med en felkod.

Den andra viktiga signalen är CTS. Den signalen känner drivrutinen av varje gång som den skriver ett tecken till V24: porten och om den inte är hög väntar drivrutinen med att skicka data tills CTS blivit låg.

I anslutningskabeln kan man därför koppla på följande sätt, förutsatt att periferiutrustningen betraktas som DTE (Data Terminal Equipment):

ABC 9-polig	Periferiutrustning 25-polig
TxD 2	RxD 3
RxD 3	TxD 2
SG 7	SG 7
DCD 8	Någon signal på enheten som blir hög när spänningen slås på. Kan också byglas till pin 6 i den 9-poliga kontakten.
CTS 5	DTR 20 är det vanligaste stället som den här signalen återfinns på. Det ska vara den signal som enheten använder för att signalera "busy" med (att den inte kan ta emot mer data).

Överföringshastighet och paritet kan sedan anges med parametrar när man öppnar filen ut mot V24: porten.

Om man ställer överföringshastigheten och pariteten på periferiutrustningen, ska den ställas till 2400 Baud och ingen paritet, vilket är standardvärden som tas när man öppnar en fil första gången. För mer ingående beskrivning av parameterlistan hänvisas till bruksanvisning Options Prom.

Det som nämnts ovan om anslutning till kanal B, gäller även för kanal A på ABC 802.

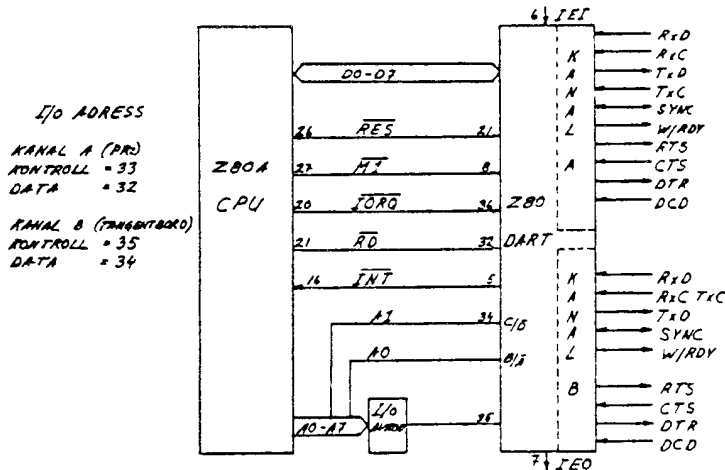
Adressering av DART.

DART kretsen är inkopplad till CPU:n enligt fig. nedan. Adressbitarna A7-A5 och A4 avkodas I/O avkodningen och aktiverar CE på SIO/2. A0 är kopplad till B/A och väljer kanal och A1 är kopplad till C/D för att ange om dataöverföringen gäller data eller kontroll ord.

I/O adresser som används för DART kretsen är följande:

Kanal A (PR:) Kontroll = Adress 33 (0010XX01B,35H)
Data = Adress 32 (0010XX00B,34H)

Kanal B (CON:) Kontroll = Adress 35 (0010XX11B,33H)
Data = Adress 34 (0010XX10B,32H)



IEI (Interrupt Enable In) på DART kretsen är kopplad till SIO/2 kretsens IEO (Interrupt Enable Out) utgång, vilket innebär att DART kretsen får en lägre prioritet vid interrupt än SIO/2 kretsen.

Inom kretsen har kanal A en högre prioritet än kanal B.

Anslutning till tangentbord och V24:utgången kanal A.

Via DART kretsen kanal A som är ansluten till den 9-poliga V24 kontakten, som också benäms kanal A, kan man via drivrutinen PR:kommunicera seriellt med utrustning som har ett gränssnitt av V24 eller RS232 typ. Dataöverföring kan bara göras i asynkron form och med samma hastighet på både sändning och mottagning.

Ta fram schemat för kommunikationsmodulen. De signalanslutningar som är märkta med A (till vänster i schemat), går till DART:en medan de med B går till SIO/2 kretsen.

Utsignalerna från DART kretsen har TTL nivå och görs därför om till V24/RS232 nivå i sk. "Line Drivers" som ger ca -7V för en hög nivå och +7V för en låg nivå.

Kretsarna är av typ MC1488, som spänningsmatas med +-9V och är kapabla att driva en utgångsström på 10mA. Utgångs-impedansen är 300 ohm.

KlocksIGNAL för RxC och TxC tas från CTC:ns kanal 2.

För fortsatt läsning, tag fram schema nr 1.

Till DART:ens kanal B är tangentbordet anslutet. Tangentbordet kan både sända och ta emot data. Signalerna från tangentbordet har TTL nivå. Dataformat på överföringen mellan tangentbord och dator är 650b/s, 8 databitar, ingen paritet och två stoppbitar. RxC och TxC klockan som kommer från tangentbordet har frekvensen 10 kHz.

RxD och TxD är kopplade till kontakten via två motstånd. Motstånden är till för att dämpa reflexer på ledningarna. TxD går även genom latches i pos 11B. Signalen *KEY DOWN från tangentbordet indikerar att en tangent är nedtryckt när den är aktiv. CPU:n kan via ett register läsa av värdet.

*RI-signalen på pin 29 kan läsas av CPU via ett register i DART kretsen. Till ingången är signalen *DEW kopplad, vilken indikerar start för en bild på bildskärmen (vert synk). Den används bland annat av programvaran som gör att man får Soft Scroll på bildskärmen.

Signalen *DTR från DART kretsens pin 25 kontrollerar inkoppling av adressområde 0-32 k från extraminnet (RAM-floppy). Om den här signalen aktiveras kopplar den bort ROMarean och bildminnet, och aktiverar RAMminne i den arean. Se vidare i manualen under 64k RAM läs och skrivminne.

CRTC I/O adressering mm (Schema nr 2).

CRTC-kretsen 6845 är en programmerbar controller-krets, som bl.a. används för generering av vertikala och horisontala synkpulser till bildskärmen. Innan den kan börja leverera dessa signaler måste den programmeras för att få rätt funktion.

Programmeringen av kretsen görs vid uppstart eller reset av systemet. Antalet register som ska programmeras är 16 st (R0-R15). I registren läggs värden som bland annat bestämmer tiden för Vertikal- och Horisontal-synk och Display Enable.

Controller-kretsen behandlas som en intern I/O-enhet och har adresserna 49, 56 och 57. Med instruktionen "OUT 56, (RN)" adresserar man ett av de 18 register som finns. Med "OUT 57,Data" skrivs sedan data till adresserat register. INP(49) läser adresserat register.

I/O-adresserna avkodas och genererar signalerna CS* (Chip select), RS (Register Select), R/W (Read eller Write) och E* (Enable) till CRTC-kretsen.

RS-ingångens nivå, som kontrolleras av B0, bestämmer om data på bussen ska tolkas som registeradress (RS=låg) eller data till ett adresserat register (RS=hög).

B3 kontrollerar via XOR-grinden (pos 10D) R/W-ingången. B3 hög aktiverar Write.

Enable-ingången aktiveras vid läsning, via OR-grinden (pos 11D, stift 3) och NOR-grinden i pos 11C, av signalerna IORQ*, RD* och B3. Vid skrivning görs Enable av IORQ*, WR* och B3 via den övre OR-grinden i pos 11D, NOR-grinden i pos 9D och den nedre OR-grinden i pos 11D.

H- och V-synk tas ut från stift 39 och 40, och läggs via XOR-grinden, i pos 10D (sp 5C), ihop så att man får en sammansatt synksignal, som sedan läggs ut till bildskärmen.

Den horisontala och vertikala synken läggs också upp till transistor T2, där den blandas med videosignalen som läggs in på transistor T1. Detta ger, på pin 2 i den 6-poliga video-kontakten, en standardiserad videosignal med signalamplituden 1V.

CCLK-signalen till klock-ingången stift 21 (2 MHz), används för synkronisering av alla kontrollsignaler ut från CRTC-kretsen.

MA1-MA10 är avsökningsadresser till videominnet. Avsökningen startar på rad 0 med adress 30720 (7800H). Raderna ligger sedan i en följd, rad 0 = 30720-30799, rad 1 = 30800-30879 osv. Varje teckenrad, som visas på bildskärmen, är uppbyggd av 10 linjer vilket gör att varje rad i bildminnet läses 10 gånger. Linjeadressen på utgångarna RAO-RA3 (0-9) bestämmer vilken linje på raden som är aktuell.

MA1-MA10 är via två LS 377 (pos 9H och 11H) kopplade till videominnet. Kretsarna klockas av 12MHz och Enablas av RC*, vilket gör att en ny adress (LA1-LA10) till videominnet inte läggs ut förrän RC* är aktiv.

Adressbit MA0 är kopplad på samma sätt via en av D-vipporna i kretsen LS 379 (pos 10H). Här tar man ut LA0 och LA0*, som väljer vilken "Latch" som ska läsas. LA0 kommer att byta värde för varje RC*-puls (0.5 us mellanrum = CCLK) medan adresserna LA1-LA10 till videominnet ändras för varannan RC*-puls (1 us mellanrum = 2 x CCLK).

För att CPU ska kunna läsa och skriva i videominnet utan att störa avsökningen, måste CRTC-kretsen starta i ett bestämt fasläge i förhållande till CPU-klockan. Infasningen görs med hjälp av signalen I3* som är inversen av CPU-klockan och adressbit LA0 från CRTC-kretsen. I3* är kopplad till stift 5 på D-vippan i pos 10H. Nivån på I3* känns av var gång RC är aktiv vilket gör att utsignalen (REF) på Q-utgången (stift 6) kommer att byta värde i takt med LA0. REF-signalen och LA0 är anslutna som insignaler till en OR-grind i pos 11D, vars utgång är ansluten till CRTC:s Reset-ingång. Så länge insignalerna är i motfas med varandra kommer Reset-ingången att ligga hög och fasläget är det rätta. Om CRTC-kretsen skulle starta avsökningen i fel fasläge (se tidsdiagram för exemp.), kommer REF-signalen att få samma fasläge som LA0*. När båda dessa signaler blir logiskt noll kommer OR-grindens utgång att aktivera RES*-ingången på CRTC-kretsen och nollställa MA0-MA10. När sedan RES*-ingången går hög kommer CRTC:n att starta avsökningen igen och kommer då automatiskt i rätt fasläge.

Signalen DEN (Display Enable) innehåller ett tidsfönster som bestämmer när videoinformationen ska läggas ut horisontalt och vertikalt. Värdet på tidsfönstret är programmerat i registren R1 och R6.

CUR (Cursor) signalen blir aktiv när adress MA0-MA1 överensstämmer med den adress som finns i Cursorregister R14 och R15.

LP (Light Pen) är en ingång för anslutning av ljuspenna. Ljuspennan hålls mot bildskärmen och när elektronstrålen passerar förbi kommer ljuspennan att lämna en puls till LP-ingången. Adressen, som är på adressutgångarna (MA0-MA10), +2 kommer då att lagras i de två Light Pen-registren 16 och 17.

PIN DESCRIPTION

PROCESSOR INTERFACE

The CRTC interfaces to a processor bus on the bidirectional data bus (D0-D7) using \overline{CS} , RS, E, and R/W for control signals.

Data Bus (D0-D7) — The bidirectional data lines (D0-D7) allow data transfers between the internal CRTC register file and the processor. Data bus output drivers are high-impedance state until the processor performs a CRTC read operation.

Enable (E) — The Enable signal is a high-impedance TTL/MOS compatible input which enables the data bus input/output buffers and clocks data to and from the CRTC. This signal is usually derived from the processor clock. The high-to-low transition is the active edge.

Chip Select (\overline{CS}) — The CS line is a high-impedance TTL/MOS compatible input which selects the CRTC, when low, to read or write to the internal register file. This signal should only be active when there is a valid stable address being decoded from the processor.

Register Select (RS) — The RS line is a high-impedance TTL/MOS compatible input which selects either the address register (RS = "0") or one of the data register (RS = "1") or the internal register file.

Read/Write (R/W) — The R/W line is a high-impedance TTL/MOS compatible input which determines whether the internal register file gets written or read. A write is defined as a low level.

CRT CONTROL

The CRTC provides horizontal sync (HS), vertical sync (VS), and display enable (DE) signals.

NOTE

Care should be exercised when interfacing to CRT monitors, as many monitors claiming to be "TTL compatible" have transistor input circuits which require the CRTC or TTL devices buffering signals from the CRTC/video circuits to exceed the maximum-rated drive currents.

Vertical Sync (VS) and Horizontal Sync (HS) — These TTL-compatible outputs are active high signals which drive the monitor directly or are fed to the video processing circuitry to generate a composite video signal. The VS signal determines the vertical position of the displayed text while the HS signal determines the horizontal position of the displayed text.

Display Enable (DE) — This TTL-compatible output is an active high signal which indicates the CRTC is providing addressing in the active display area.

REFRESH MEMORY/CHARACTER GENERATOR ADDRESSING

The CRTC provides memory addresses (MA0-MA13) to scan the refresh RAM. Row addresses (RA0-RA4) are also provided for use with character generator ROMs. In a graphics system, both the memory addresses and the row addresses would be used to scan the refresh RAM. Both the memory addresses and the row addresses continue to run during vertical retrace thus allowing the CRTC to provide the refresh addresses required to refresh dynamic RAMs.

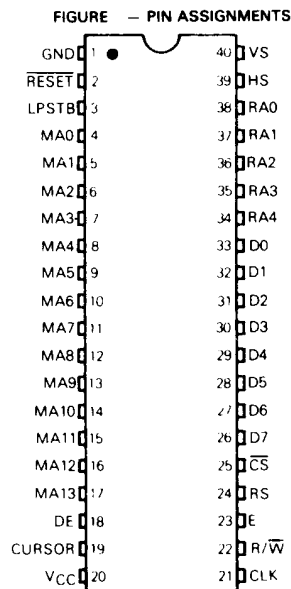
Refresh Memory Addresses (MA0-MA13) — These 14 outputs are used to refresh the CRT screen with pages of data located within a 16K block of refresh memory. These outputs are capable of driving one standard TTL load and 30 pF.

Row Addresses (RA0-RA4) — These five outputs from the internal row address counter are used to address the character generator ROM. These outputs are capable of driving one standard TTL load and 30 pF.

OTHER PINS

Cursor — This TTL-compatible output indicates a valid cursor address to external video processing logic. It is an active high signal.

Clock (CLK) — The CLK is a TTL/MOS-compatible input used to synchronize all CRT functions except for the processor interface. An external dot counter is used to derive this signal which is usually the character rate in an alphanumeric CRT. The active transition is high-to-low.



Light Pen Strobe (LPSTB) – A low-to-high transition on this high-impedance TTL/MOS-compatible input latches the current Refresh Address in the light pen register. The latching of the refresh address is internally synchronized to the character clock (CLK).

V_{CC}, V_{SS} – These inputs supply +5 Vdc ±5% to the CRTC.

RESET – The RESET input is used to reset the CRTC. A low level on the RESET input forces the CRTC into the following state:

- (a) All counters in the CRTC are cleared and the device stops the display operation.
- (b) All the outputs are driven low.

CRTC DESCRIPTION (Figure 1 CRTC Block Diagram)

The CRTC consists of programmable horizontal and vertical timing generators, programmable linear address register, programmable cursor logic, light pen capture register, and control circuitry for interface to a processor bus.

All CRTC timing is derived from CLK, usually the output of an external dot rate counter. Coincidence (CO) circuits continuously compare counter contents to the contents of the programmable register file, R0-R17. For horizontal timing generation, comparisons result in: 1) horizontal sync pulse (HS) of a frequency, position, and width determined by the registers; 2) horizontal display signal of a frequency, position, and duration determined by the registers.

The horizontal counter produces H clock which drives the scan line counter and vertical control. The contents of the Raster Counter are continuously compared to the maximum scan line address register. A coincidence resets the raster counter and clocks the vertical counter.

Comparisons of vertical counter contents and vertical registers result in: 1) vertical sync pulse (VS) of a frequency, width and position determined by the registers; 2) vertical display of a frequency and position determined by the registers.

The vertical control logic has other functions.

1. Generate row selects, RA0-RA4, from the raster count for the corresponding interlace or non-interlace modes.
2. Extend the number of scan lines in the vertical total by the amount programmed in the vertical total adjust register.

The linear address generator is driven by CLK and locates the relative positions of characters in memory with their positions on the screen. Fourteen lines, MA0-MA13, are available for addressing up to four pages of 4K characters, 8 pages of 2K characters, etc. Using the start address register, hardware scrolling through 16K characters is possible. The linear address generator repeats the same sequence of addresses for each scan line of a character row.

The cursor logic determines the cursor location, size, and blink rate on the screen. All are programmable.

The light pen strobe going high causes the current contents of the address counter to be latched in the light pen

(c) The control registers of the CRTC are not affected and remain unchanged.

Functionality of RESET differs from that of other M6800 parts in the following functions:

- (a) The RESET input and the LPSTB input are encoded as shown in Table 1.
- (b) After RESET has gone low and (LPSTB = "0"), MA0-MA13 and RA0-RA4 will be driven low on the falling edge of CLK. RESET must remain low for at least one cycle of the character clock (CLK).
- (c) The CRTC resumes the display operation immediately after the release of RESET. DE is not active until after the first VS pulse occurs.

register. The contents of the light pen register are subsequently read by the processor.

Internal CRTC registers are programmed by the processor through the data bus, D0-D7, and the control signals – R/W, CS, RS, and E.

REGISTER FILE DESCRIPTIONS

The nineteen registers of the CRTC may be accessed through the data bus. Only two memory locations are required as one location is used as a pointer to address one of the remaining eighteen registers. These eighteen registers control horizontal timing, vertical timing, interlace operation, row address operation, and define the cursor, cursor address, start address, and light pen register. The register addresses and sizes are shown in Table 2.

ADDRESS REGISTER

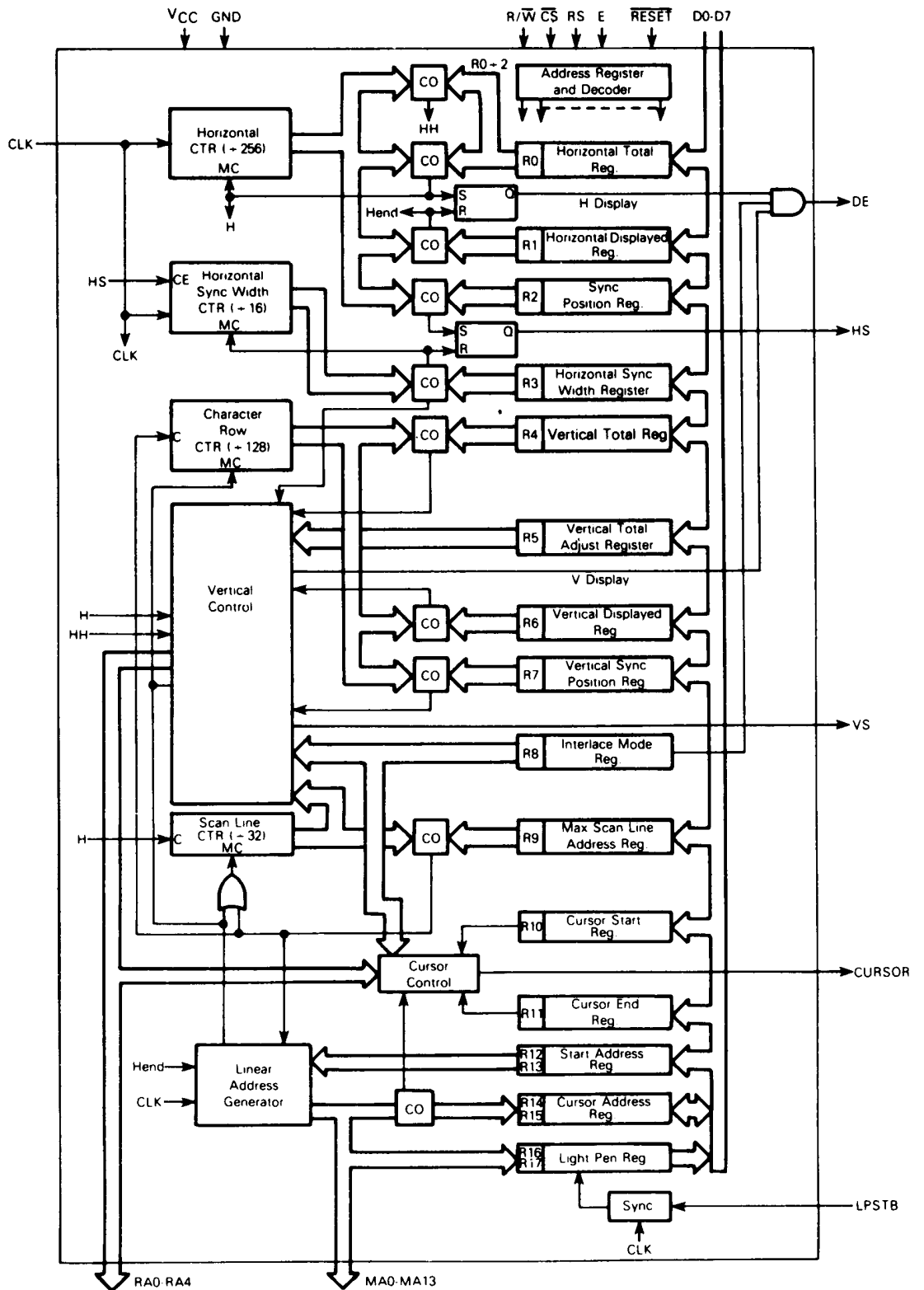
The address register is a 5-bit write-only register used as an "indirect" or "pointer" register. It contains the address of one of the other eighteen registers. When both RS and CS are low, the address register is selected. When CS is low and RS is high, the register pointed to by the address register is selected.

TIMING REGISTERS R0-R9

Figure 2 shows the visible display area of a typical CRT monitor giving the point of reference for horizontal registers as the left most displayed character position. Horizontal registers are programmed in character clock time units with respect to the reference as shown in Figure 3. The point of reference for the vertical registers is the top character position displayed. Vertical registers are programmed in scan line times with respect to the reference as shown in Figure 4.

Horizontal Total Register (R0) – This 8-bit write-only register determines the horizontal sync (HS) frequency by defining the HS period in character times. It is the total of the displayed characters plus the non-displayed character times (retrace) minus one.

FIGURE 1 – CRTC BLOCK DIAGRAM



Horizontal Displayed Register (R1) — This 8-bit write-only register determines the number of displayed characters per line. Any 8-bit number may be programmed as long as the contents of R0 are greater than the contents of R1.

Horizontal Sync Position Register (R2) — This 8-bit write-only register controls the HS position. The horizontal sync position defines the horizontal sync delay (Front Porch) and the horizontal scan delay (Back Porch). When the programmed value of this register is increased, the display on the CRT screen is shifted to the left. When the programmed value is decreased the display is shifted to the right. Any 8-bit number may be programmed as long as the sum of the contents of R1, R2, and R3 are less than the contents of R0.

Sync Width Register (R3) — This 8-bit write-only register determines the width of the vertical sync (VS) pulse and the horizontal sync (HS) pulse for the MC6845 \star 1 CRT. The vertical sync pulse width is fixed at 16 scan-line times for the MC6845 and the upper four bits of this register are treated as "don't cares."

The MC6845 \star 1 allows control of the VS pulse width for 1-to-16 scan-line times. Programming the upper four bits for 1-to-15 will select pulse widths from 1-to-15 scan-line times. Programming the upper four bits as zeros will select a VS pulse width of 16 scan-line times, allowing compatibility with the MC6845.

For both the MC6845 and the MC6845 \star 1, the HS pulse width may be programmed from 1-to-15 character clock periods thus allowing compatibility with the HS pulse width specifications of many different monitors. If zero is written into this register then no HS is provided.

Horizontal Timing Summary (Figure 3) — The difference between R0 and R1 is the horizontal blanking interval. This interval in the horizontal scan period allows the beam to return (retrace) to the left side of the screen. The retrace time is determined by the monitor's horizontal scan components. Retrace time is less than the horizontal blanking interval. A good rule of thumb is to make the horizontal blanking about 20% of the total horizontal scanning period for a CRT. In inexpensive TV receivers, the beam overscans the display screen so that aging of parts does not result in underscanning. Because of this, the retrace time should be about $\frac{1}{2}$ the horizontal scanning period. The horizontal sync delay, HS pulse width, and horizontal scan delay are typically programmed with a 1:2:2 ratio.

Vertical Total Register (R4) and Vertical Total Adjust Register (R5) — The frequency of VS is determined by both R4 and R5. The calculated number of character line times is usually an integer plus a fraction to get exactly a 50 or 60 Hz vertical refresh rate. The integer number of character line times minus one is programmed in the 7-bit write-only vertical total register (R4). The fraction of character line times is programmed in the 5-bit write-only vertical total adjust register (R5) as a number of scan-line times.

Vertical Displayed Register (R6) — This 7-bit write-only register specifies the number of displayed character rows on the CRT screen, and is programmed in character row times. Any number smaller than the contents of R4 may be programmed into R6.

Vertical Sync Position (R7) — This 7-bit write-only register controls the position of vertical sync with respect to the reference. It is programmed in character row times. The

value programmed in the register is one less than the number of computed character-line times. When the programmed value of this register is increased, the display position of the CRT screen is shifted up. When the programmed value is decreased the display position is shifted down. Any number equal to or less than the vertical total (R4) may be used.

Interlace Mode and Skew Register (R8) — The MC6845 only allows control of the interlace modes as programmed by the low order two bits of this write-only register. The MC6845-1 controls the interlace modes and allows a programmable delay of zero-to-two character clock times for the DE (display enable) and cursor outputs. Table 3 describes operation of the cursor and DE skew bits. Cursor skew is controlled by bits 6 and 7 of R8 while DE skew is controlled by bits 4 and 5. Table 4 shows the interlace modes available to the user. These modes are selected using the two low order bits of this 6-bit write-only register.

In the normal sync mode (non-interlace) only one field is available as shown in Figures 7 and 5a. Each scan line is refreshed at the VS frequency (e.g., 50 or 60 Hz).

Two interlace modes are available as shown in Figures 8, 5b, and 5c. The frame time is divided between even and odd alternating fields. The horizontal and vertical timing relationship (VS delayed by $\frac{1}{2}$ scan line time) results in the displacement of scan lines in the odd field with respect to the even field.

In the interlace sync mode the same information is painted in both fields as shown in Figure 5b. This is a useful mode for filling in a character to enhance readability.

In the interlace sync and video mode, shown in Figure 5c, alternating lines of the character are displayed in the even field and the odd field. This effectively doubles the given bandwidth of the CRT monitor.

Care must be taken when using either interlace mode to avoid an apparent flicker effect. This flicker effect is due to the doubling of the refresh time for all scan lines since each field is displayed alternately and may be minimized with proper monitor design (e.g., longer persistence phosphors).

In addition, there are restrictions on the programming of the CRT registers for interlace operation:

1. For the MC6845:
 - a. The horizontal total register value, R0, must be odd (i.e., an even number of character times).
 - b. For interlace sync and video mode only, the maximum scan-line address, R9, must be odd (i.e., an even number of scan lines).
 - c. For interlace sync and video mode only, the vertical displayed register (R6) must be even. The programmed number Nvd, must be $\frac{1}{2}$ the actual number required. The even numbered scan lines are displayed in the even field and the odd numbered scan lines are displayed in the odd field.
 - d. For interlace sync and video mode only, the cursor start register (R10) and cursor end register (R11) must both be even or both odd depending on which field the cursor is to be displayed in.
2. For the MC6845 \star 1:
 - a. The horizontal total register value, R0, must be odd (i.e., an even number of character times).
 - b. For the interlace sync and video mode only, the vertical displayed register (R6) must be even. The programmed number, Nvd, must be $\frac{1}{2}$ the actual number required.

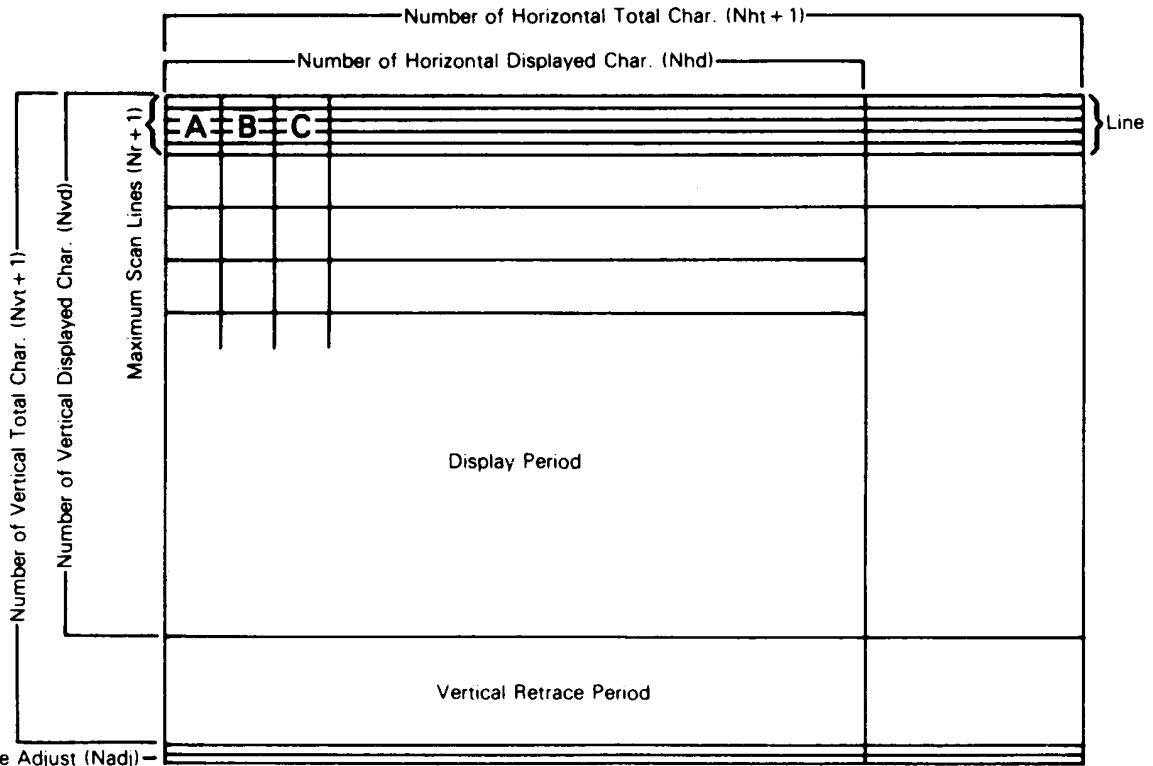
TABLE 2 – CRTC INTERNAL REGISTER ASSIGNMENT
(Features of the MC6845-1 have 1 subscript)

CS	RS	Address Register					Register #	Register File	Program Unit	Read	Write	Number of Bits											
		4	3	2	1	0						7	6	5	4	3	2	1	0				
1	X	X	X	X	X	X	X	-	-	-	-	/	/	/	/	/	/	/	/	/	/	/	/
0	0	X	X	X	X	X	AR	Address Register	-	No	Yes	/	/	/	/	/	/	/	/	/	/	/	/
0	1	0	0	0	0	0	R0	Horizontal Total	Char.	No	Yes												
0	1	0	0	0	0	1	R1	Horizontal Displayed	Char.	No	Yes												
0	1	0	0	0	1	0	R2	H. Sync Position	Char.	No	Yes												
0	1	0	0	0	1	1	R3	Sync Width	-	No	Yes	V ₁	V ₁	V ₁	V ₁	H	H	H	H				
0	1	0	0	1	0	0	R4	Vertical Total	Char. Row	No	Yes	/	/	/	/	/	/	/	/	/	/	/	/
0	1	0	0	1	0	1	R5	V. Total Adjust	Scan Line	No	Yes	/	/	/	/	/	/	/	/	/	/	/	/
0	1	0	0	1	1	0	R6	Vertical Displayed	Char. Row	No	Yes	/	/	/	/	/	/	/	/	/	/	/	/
0	1	0	0	1	1	1	R7	V. Sync Position	Char. Row	No	Yes	/	/	/	/	/	/	/	/	/	/	/	/
0	1	0	1	0	0	0	R8	Interlace Mode and Skew	Note 1	No	Yes	C ₁	C ₁	D ₁	D ₁	/	/	/	/	I	I		
0	1	0	1	0	0	1	R9	Max Scan Line Address	Scan Line	No	Yes	/	/	/	/	/	/	/	/	/	/	/	/
0	1	0	1	0	1	0	R10	Cursor Start	Scan Line	No	Yes	/	B	P								(Note 2)	
0	1	0	1	0	1	1	R11	Cursor End	Scan Line	No	Yes	/	/	/	/	/	/	/	/	/	/	/	/
0	1	0	1	1	0	0	R12	Start Address (H)	-	Yes	Yes	0	0										
0	1	0	1	1	0	1	R13	Start Address (L)	-	Yes	Yes												
0	1	0	1	1	1	0	R14	Cursor (H)	-	Yes	Yes	0	0										
0	1	0	1	1	1	1	R15	Cursor (L)	-	Yes	Yes												
0	1	1	0	0	0	0	R16	Light Pen (H)	-	Yes	No	0	0										
0	1	1	0	0	0	1	R17	Light Pen (L)	-	Yes	No												

NOTES:

- The skew control is shown in Table 3 and interlace is shown in Table 4.
- Bit 5 of the Cursor Start Raster Register is used for blink period control, and Bit 6 is used to select blink or non-blink.

FIGURE 2 – ILLUSTRATION OF THE CRT SCREEN FORMAT

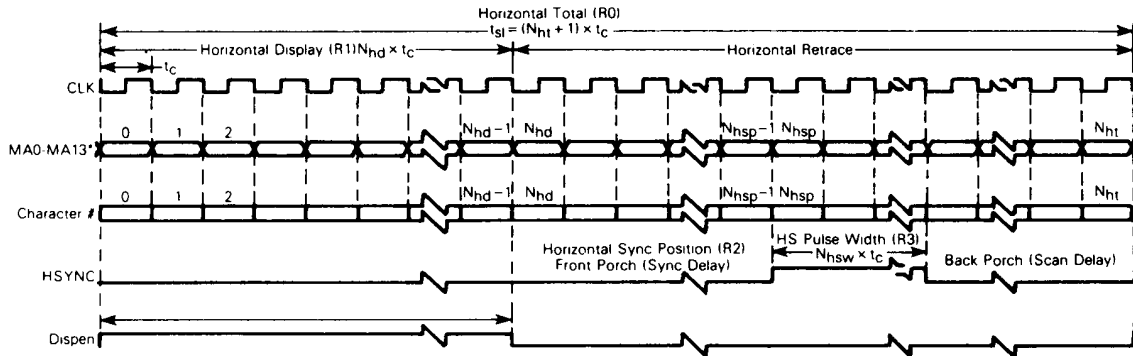


Note 1: Timing values are described in Table 8.

TABLE 3 – CURSOR AND DE SKEW CONTROL

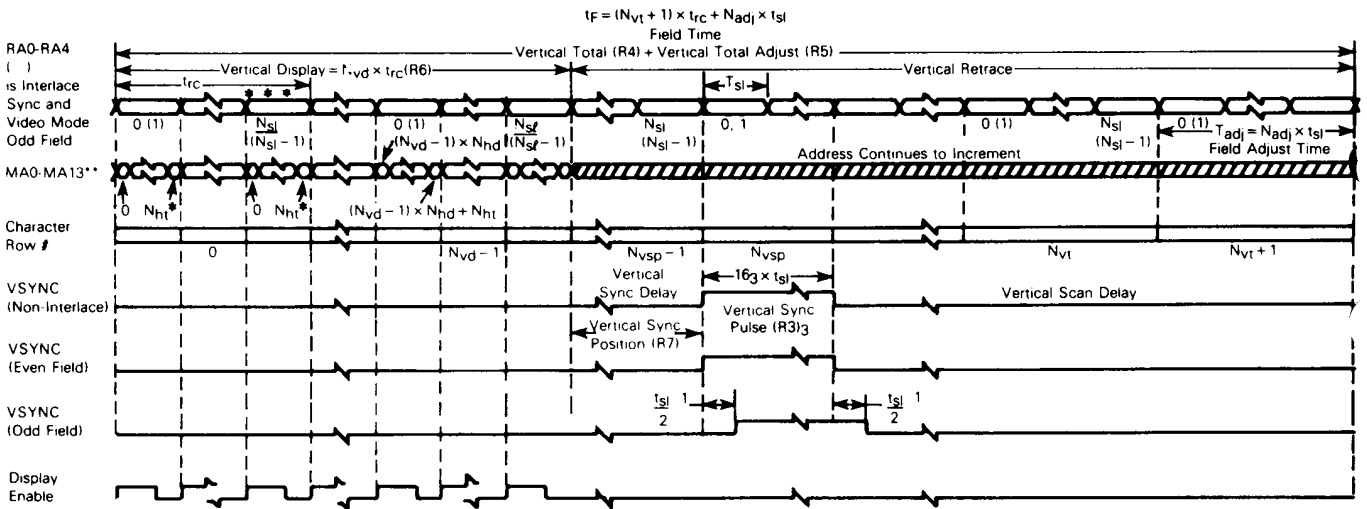
Value	Skew
00	No Character Skew
01	One Character Skew
10	Two Character Skew
11	Not Available

FIGURE 3 – CRTC HORIZONTAL TIMING



*Timing is shown for first displayed scan row only. See Chart in Figure 16 for other rows. The initial MA is determined by the contents of Start Address Register, R12/R13. Timing is shown for R12/R13 = 0.
 Note 1: Timing values are described in Table 8

FIGURE 4 – CRTC VERTICAL TIMING



* N_{ht} must be an odd number for both interlace modes
 **Initial MA is determined by R12/R13 (Start Address Register), which is zero in this timing example
 *** N_{sj} must be an odd number for Interlace Sync and Video Mode

TABLE 4 – INTERLACE MODE REGISTER

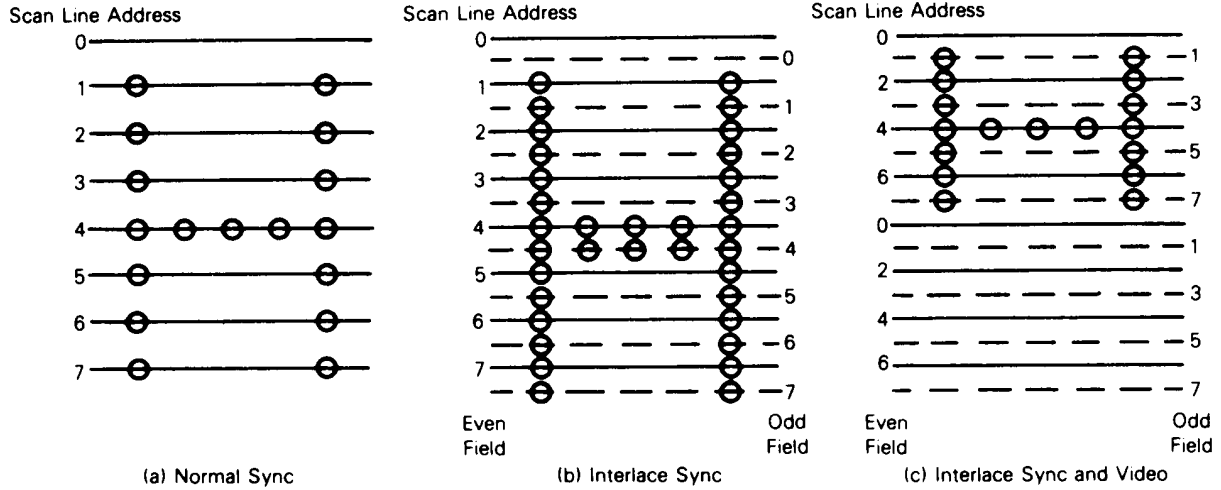
Bit 1	Bit 0	Mode
0	0	Normal Sync Mode (Non-Interlace)
1	0	
0	1	Interlace Sync Mode
1	1	Interlace Sync and Video Mode

TABLE 5 – CURSOR START REGISTER

Bit 6	Bit 5	Cursor Display Mode
0	0	Non-Blink
0	1	Cursor Non-Display
1	Q	Blink, 1/16 Field Rate
1	1	Blink, 1/32 Field Rate

Example of Cursor Display Mode

FIGURE 5 – INTERLACE CONTROL



Maximum Scan Line Address Register (R9) – This 5-bit write-only register determines the number of scan lines per character row including the spacing; thus, controlling operation of the row address counter. The programmed value is a maximum address and is one less than the number of scan lines.

CURSOR CONTROL

Cursor Start Register (R10) and Cursor End Register (R11) – These registers allow a cursor of up to 32 scan lines in height to be placed on any scan line of the character block as shown in Figure 6. R10 is a 7-bit write-only register used to define the start scan line and the cursor blink rate. Bits 5 and 6 of the cursor start address register control the cursor operation as shown in Table 5. Non-display, display, and two blink modes (16 times or 32 times the field period) are available. R11 is a 5-bit write-only register which defines the last scan line of the cursor.

When an external blink feature on characters is required, it may be necessary to perform cursor blink externally so that both blink rates are synchronized. Note that an invert/non-invert cursor is easily implemented by programming the CRTC for a blinking cursor and externally inverting the video signal with an exclusive-OR gate.

Cursor Register (R14-H, R15-L) – This 14-bit read/write register pair is programmed to position the cursor anywhere in the refresh RAM area; thus, allowing hardware paging and scrolling through memory without loss of the original cursor position. It consists of an 8-bit low order (MA0-MA7) register and a 6-bit high order (MA8-MA13) register.

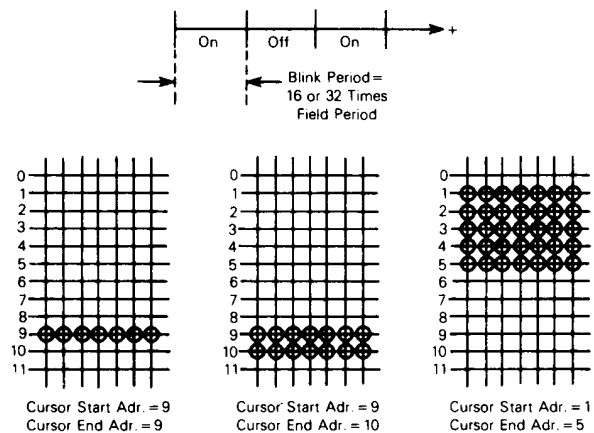
OTHER REGISTERS

Start Address Register (R12-H, R13-L) – This 14-bit write-only register pair controls the first address output by

the CRTC after vertical blanking. It consists of an 8-bit low order (MA0-MA7) register and a 6-bit high order (MA8-MA13) register. The start address register determines which portion of the refresh RAM is displayed on the CRT screen. Hardware scrolling by character, line, or page may be accomplished by modifying the contents of this register.

Light Pen Register (R16-H, R17-L) – This 14-bit read-only register pair captures the refresh address output by the CRTC on the positive edge of a pulse input to the LPSTB pin. It consists of an 8-bit low order (MA0-MA7) register and a 6-bit high order (MA8-MA13) register. Since the light pen pulse is asynchronous with respect to refresh address timing an internal synchronizer is designed into the CRTC. Due to delays (Figure 3) in this circuit, the value of R16 and R17 will need to be corrected in software. Figure 17 shows an interrupt driven approach although a polling routine could be used.

FIGURE 6 – CURSOR CONTROL



Systemklockan (Schema nr 5).

Kristallen på 12 MHz (sp 2F) tillsammans med de två inverterarna och RC-nätet bildar en oscillator, som ger frekvensen 12 MHz. Signalen läggs via en inverterare som fungerar som buffert, in till klockingången på räknaren i pos 1F. Räknarens ingångar ABCD är programmerade till värdet 13, som laddas in som begynnelsevärde var gång som Load-ingången (stift 9) blir låg. När Load-ingången går hög kommer räknarens utgångar att räknas upp från 13 i takt med pulserna på clock-ingången. När räknarens utgångar får värdet 15, kommer också utgången RC (Ripple Carry) att bli aktiv och via en inverterare läggas fram till ingången på en av de tre vipporna i pos 1E.

D-vipporna klockas av samma signal som räknaren och är kopplade så att det tar tre klockpulser innan RC*-signalen aktiverar Load-ingången på räknaren. Räknaren kommer följaktligen att räkna 13, 14, 15, 0, 1 och 2. Därefter blir Load-ingången aktiv och förloppet upprepas.

QA-utgången på räknaren, stift 14, ger halva klockfrekvensen, 6 MHz, som används efter delning i JK-vippan, pos 12B (se schema för CPU:n med kontrollkretsar), som systemklocka.

QC-utgången, stift 12, är på 2 MHz och används som Character Clock-signal till CRTC-kretsen.

RC och RC* (2 MHz) är aktiva under senare delen av CCLK-signalen, och används för att lägga ut adresser till videominnet, läsa ut data från teckengeneratoren och ladda skiftregistret.

Signalen I3* från JK-vippan i pos 8C, är en inverterad kopia av CPU-klockan. Signalen F3* är också en inverterad CPU-klocka, men för att säkerställa att fasläget är riktigt i förhållande till CPU-klockan, triggas vippan med samma 6 MHz-signal som genererar CPU-klockan. I3* används sedan som klocksignal, och för infasning av CPU- och CRTC-kretsarna.

Videominne och teckengenerering (Schema nr 5).

Videominnet är uppbyggt av 4st 5514. Dessa är organiserade så att de bildar två block om vardera 1kbyte.

Adressingångarna, CS* och WR* är anslutna till 4st multiplexerkretsar, som kontrolleras av samma select-signal.

Select-ingången kontrolleras av signalen MUX, som väljer om minnet ska adresseras från CPU eller CRTC. Normalt adresseras minnet från CRTC. När Select-signalen är låg är ingångarna märkta 0 kopplade till multiplexerns utgång och CRTC:ns adressbitar LA1-LA10 adresserar minneskretsarna. Q-utgången, stift 9, på vippan i pos 4F (sp 6F) genererar CS* till kretsarna i pos 5G och 6G, via multiplexern i pos 5F (sp 7B), medan Q*-utgången, stift 6, på vippan i pos 4F genererar CS* till de båda andra kretsarna, pos 7G och 8G.

Båda minnesblocken adresseras med samma adress och lägger ut varsin byte till låskretsarna (Latcharna) i pos 6H och 8H. Båda latcharna är öppna genom att gate-ingången har hög nivå från CPU*, och data läggs fram till låskretsarna i pos 5H och 7H. Data läses in till dessa kretsar när LA0* går från hög till låg nivå.

LA0* får hög nivå och påverkar OE-ingången till kretsen i pos 5H så att data blockeras, medan LA0 till den andra kretsens OE-ingång (pos 7H) blir låg och släpper fram data till tecken-PROM:ets adressgångar. Data tillsammans med RA0-RA3 bildar en specifik adress, som lägger ut ett bitmönster på data-utgångarna. Bitmönstret laddas sedan in i skiftregistret i pos 3F när Load-ingången, stift 15, blir aktiv, för att sedan skiftas ut i serieform på S0-utgången i takt med 12MHz (Dot Clock) signalen på klockingången. S0 (Shift Out) utgången är ansluten till en D-vippan, via en XOR-grind. D-vippan fördröjer signalen en Dot. Signalen innehåller den information som sedan används som videosignal, där en etta innebär att en punkt tänds och en nolla att den släcks. Videosignalen kopplas sedan via en buffertkrets i pos 16B till Displaykontakten.

När sedan nästa data (ASCII-kod) ska läggas in till tecken-PROM:et, har LA0* blivit låg och data från kretsen i pos 5H läses in till teckengeneratoren. Samtidigt laddas nya data in från videominnet till låskretsen i pos 7H och adresserna LA1-LA10 skiftas till videominnet. Därefter upprepas förloppet som beskrivits tidigare.

Load-ingången till skiftregistret i pos 3F aktiveras med signalen RC via NAND-grinden i pos 13B, stift 12. Grinden har som andra insignal DEN-3. Så länge denna signal har

låg nivå kommer inga Load-pulser att avges till skiftregistret och följdaktligen heller ingen videosignal. Som tredje ingång till grinden ligger utgången från multiplexern, i pos 2F stift 12, som i sin tur har LAO som insignal.

S-ingången på multiplexern styrs av signalen MUX 80/40. Signalen tas från DART:ens RTS* utgång på B-kanalen, och avgör om huruvida bildskärmen ska visa 80 resp 40 tecken. När 40 tecken är angivet (MUX 80/40 låg), släpper multiplexern igenom en klocksignal på 6MHz till CL INH-ingången (Clock Inhibit), stift 6, på skiftregistret i pos 3F, varvid varannan klockpuls på 12MHz-ingången tas bort, vilket ger 6 MHz skiftfrekvens. Den andra utgången på multiplexern kommer i 40-teckenmod att koppla fram LAO till AND-grinden i pos 13B. LAO kommer för varannan RC att ha låg nivå, vilket gör att Load-ingången på skiftregistret nu aktiveras med 1us mellanrum.

Signalen DEN-3 kommer från stift 19 på kretsen i pos 9H, där tre D-vippor, som enablas av RC* och klockas med 12MHz, har kopplats i serie vilket gör att insignalen DEN fördröjs med tre teckenpositioner. DEN är den kontrollsignal som släcker videosignalen på den icke aktiva delen av bildskärmsytan. På liknande sätt är också signalen CUR fördröjd och tas ut från stift 5 på kretsen i pos 9H. CUR-3 signalen används för att göra Out Enable på tecken-PROM:et.

CUR-signalen blir aktiv hög under den tid som adressen i CRTK-kretsens register 14 och 15 överensstämmer med MA0--MA10. CUR-3 signalen kommer att lägga OE*ingången på multiplexern i pos 1G, hög. Eftersom datautgångarna har Pull Up-motstånd, kommer ett bitmönster med bara ettor, linjeadress 15, att laddas in i skiftregistret, och cursorn kommer att visas på bildskärmen.

Tecken-PROM:et är ett 2732A-2 4 kbyte EPROM, som är programmerat med bitmönster för varje skrivbar ASCII-kod. Ett tecken upptar 16 byte, där sex av databitarna får bilda bitmönster. Ett tecken på bildskärmen är uppbyggt av 6x10 punkter, där punkt 6 och punkt 10 alltid är släckta för att man ska få ett mellanrum mellan tecknen och mellan raderna.

I ABC 802 kan man tilldela tecken olika attribut (egen-skap). För att ange ett attribut läggs en styrkod in i bildminnet. Styrkoden avkodas sedan i teckengeneratoren, som i sin tur anger till attributavkodaren, i pos 2G, vilket attribut som ska aktiveras.

De attribut som finns möjliga till ABC 802 är tre stycken, nämligen att vissa ASCII-tecken tolkas som grafik-tecken, blinkande text, och döld text.

Attributavkodaren styrs ifrån teckengeneratoren, där bitarna 7, 6, 1 och 0 används för att välja attribut. Om ATE (Attribute Enable) har hög nivå, kommer kretsen att avkoda värdet på ATO och AT1 ingången, som då anger vilket attribut som avses, medan ATD (Attribute Data) anger om attributet ska aktiveras eller ej.

Om ATE är låg, kommer informationen på ATO och AT1 ingångarna att kopplas vidare till skiftregistret.

De olika attribut som kan anges på AT1 och ATO är följande:

AT1 = 0	Aktiverar signalen RG (Row Grafic)
ATO = 0	vilken är kopplad till teckenpromets
ATD = 1	adressbit 11, vilket gör att vissa
ATE = 1	ASCII-koder kommer att ge grafiktecken (se ASCII-kod tabell i bruksanvisningen).
AT1 = 1	Aktiverar selectingången till multiplexern
ATO = 0	i pos 1G, vilket ger linjeaddress 14 till
ATD = 1	teckenpromet och pekar på ett bitmönster med
ATE = 1	enbart nollor.
AT1 = 0	Gör att signalen FC (FLSH Clock) kopplas ner
ATO = 1	till selectingången på multiplexern, och gör
ATD = 1	att linjeaddress 14 kopplas in under en tids-
ATE = 1	period av 0.5 s, varvid blinkande text uppstår.

Invers text fås genom att 8:e biten är satt i ASCII-koden från bildminnet. Biten är kopplad till INV-ingången på PAL-kretsen och sätter RI-utgången hög, varvid videosignalen inverteras via XOR-grinden i pos 10D.

När man ska göra egna teckengeneratorer bör man känna till lite om teckenuppbyggnaden och vad som händer i PAL-kretsen.

Så här ser ASCII-tecken 65 ut:

Adr.		
1040	00000000	Det här är alltså bitmönstret för den versala bokstaven A. Tecknet upptar 16 byte (vilket gör att adressen till tecknet blir ASCII-värdet x 16), där 6 av bitarna får bilda bitmönster.
1041	00000100	
1042	00001010	
1043	00010001	
1044	00011111	
1045	00010001	
1046	00010001	Ett tecken på bildskärmen är uppbyggt av 6 x 10 punkter, där punkt 6 och 10 alltid är släckta för att man ska få mellanrum mellan tecknen och mellan raderna.
1047	00010001	
1048	00000000	
1049	00000000	
1050	00000000	
1051	00000000	
1052	00000000	
1053	00000000	
1054	00000000	Längst ner i bitmönstret ser man cursorn.
1055	00111111	

PAL-kretsens (Video attributhanteraren) ekvation:

$$\begin{aligned} \text{IF(VCC)} *0S &= FC + RF / RC \\ *RG: &= HS / *RG + *ATE / *RG + ATD / *RG + LL / \\ &\quad *RG + AT1 / *RG + ATO / ATE + *ATD + *LL + \\ &\quad *AT1 + *ATO \\ *RI: &= *RI + *INV / *RI + LL / *INV + *LL \\ *RF: &= HS / *RF + *ATE / *RF + ATD / *RF + LL / \\ &\quad *RF + AT1 / *RF + *ATO / ATE + *ATD + *LL + \\ &\quad *AT1 + ATO \\ *RC: &= HS / *RC + *ATE / *RC + *ATD / *RC + LL / \\ &\quad *RC + *AT1 / *RC + ATO / ATE + *LL + *AT1 + \\ &\quad *ATO \\ \text{IF(VCC)} *00 &= *CUR + *ATO / *CUR + ATE \\ \text{IF(VCC)} *01 &= *CUR + *AT1 / *CUR + ATE \end{aligned}$$

Teckenförklaring:

+ = AND
 / = OR
 * = Inverterade värdet av ...

ATD = Attribute Data
 ATE = Attributes Enable
 AT1 = Attribute address
 ATO = " "
 CUR = Cursor
 FC = FLSH Clock
 HS = Horizontal synk
 INV = Inverted signal input
 LL = Load when Low
 OEL = Output Enable when Low

Tangentkoder i tecken-/grafmod (ASCII-tabell)

A	T	G	A	T	G	A	T	G	A	T	G
32	Blank		56	8		80	P	P	104	h	
33	!		57	9		81	Q	Q	105	i	
34	"		58	:		82	R	R	106	j	
35	#		59	;		83	S	S	107	k	
36	α		60	<		84	T	T	108	l	
37	%		61	=		85	U	U	109	m	
38	&		62	>		86	V	V	110	n	
39	'		63	?		87	W	W	111	o	
40	(64	É	É	88	X	X	112	p	
41)		65	A	A	89	Y	Y	113	q	
42	*		66	B	B	90	Z	Z	114	r	
43	+		67	C	C	91	Ä	Ä	115	s	
44	,		68	D	D	92	Ö	Ö	116	t	
45	-		69	E	E	93	Å	Å	117	u	
46	.		70	F	F	94	Ü	Ü	118	v	
47	/		71	G	G	95	-	-	119	w	
48	0		72	H	H	96	é		120	x	
49	1		73	I	I	97	a		121	y	
50	2		74	J	J	98	b		122	z	
51	3		75	K	K	99	c		123	ä	
52	4		76	L	L	100	d		124	ö	
53	5		77	M	M	101	e		125	å	
54	6		78	N	N	102	f		126	ü	
55	7		79	O	O	103	g		127		

ASCII kod + 128 ger inverterad video.

ASCII-koder (A) tolkade i teckenmod (T) och grafikmod (G).

CPU läsn. och skrivn. i bildminne (Schema nr 2).

När CPU gör en läsning eller skrivning i videominnet, kommer en adress mellan 7800-7FFFH att läggas ut. Adresserna avkodas som tidigare beskrivits (se 32 kbyte ROM sid 47), av multiplexern i pos 8D (sp 1D, shema nr 4) som aktiverar signalen VR*. Signalen VR* är ansluten till stift 1 på NOR-grinden i pos 11C (sp 1C).

NOR-grindens utgång, som är kopplad till CLR-ingången på JK-vippan i pos 8C, kommer att gå hög när signalen VR* aktiveras, om signalerna LXM och CASDIS* har låg nivå. Om det villkoret är uppfyllt kommer MRQ-signalen att kontrollera JK-vippan.

När sedan klocksignalen I3* går från hög till låg, kommer Q*-utgången (CPU*) att gå låg. Q*-utgången är tillsammans med BMRQ*-signalen, kopplad till NORgrinden i pos 9D, som genererar signalen MUX och selecterar multiplexer-kretsarnas ingångar 1 till utgångarna (CPU adress).

CPU*-signalen påverkar Gate-ingångarna till de två låskretsarna 6H och 8H. Låskretsarna kommer att låsa de data som finns på ingångarna när Gate-ingången blir låg. När ingångarna sedan ändrar värde kommer det inte att påverka kretsen.

Videominnet adresseras av CPU, och vilket minnesblock som ska reagera på adressen, bestäms av CS*-signalen. CS*-signalen till respektive block kontrolleras av BAO, via de två vipporna i pos 4F. Q*-utgången, stift 9, aktiverar CS* till kretsarna i pos 5G och 6G, via multiplexern i pos 5F, medan Q*-utgången, stift 6, aktiverar CS* till de båda andra kretsarna, pos 7G och 8G, via multiplexern i pos 9G. Till de båda multiplexrarna är även signalen EWR kopplad. EWR-signalen kommer från latches i pos 11B (schema nr 4, sp 8F) och är en något fördröjd RD*-signal.

EWR-signalen används för att CS* inte ska göras förrän nivån på signalen WR* har bestämts. WR*-signalen, stift 10, avgör om det är en läsning eller skrivning som ska göras i minnet.

Data in och ut till minneskretsarna går via de dubbelriktade buffertkretsarna i pos 6F och 7F. Vilken riktning kretsarna ska ha, styrs av EWR-signalen som ligger på D-ingångarna till buffertkretsarna. EWR-signalen går hög när en läsning ska utföras. Vilken av buffertkretsarna som ska aktiveras, styrs av Enable-ingången, som i sin tur styrs av D-vipporna i pos 4F.

Eftersom videominnet vid avsökning adresseras av LA1-LA10, medan LA0 väljer vilket block som ska läsas, görs motsvarande operation när CPU adresserar. BA1-BA10 kopplas via multiplexern till videominnet, medan BAO via D-vipporna i pos 4F väljer minnesblock. D-vippornas S och R-ingångar styrs av MUX-signalen. Vipporna klockas av I3* och har BAO som insignal. Utgångarna kontrollerar sedan ENABLE-ingångarna på buffertkretsarna, i pos 6F och 7F. Krets 6F är aktiv när BAO=0, medan krets 7F är aktiv när BAO=1. Det här förfarandet gör att alla data på jämna adresser ligger i minneskrets 7G och 8G, medan data på ojämna adresser ligger i krets 5G och 6G.

Tangentbordet (Shema KEYBOARD).

Tangentbordet ABC 55/ABC 77 har kapacitiva switchar. Detta innebär god livslängd eftersom inga mekaniska delar är väsentliga för funktionen. Tangenterna klarar över 100 milj. nedtryckningar per styck.

Tangenterna ligger i en 12 X 8 matris, som drivs och avkodas av två speciella kretsar, Z2 och Z17.

EPR0M:et i pos Z10 är ett 2716 som innehåller mikroprocessorns program, om microprocessor 8035 används.

EPR0M:et i pos Z14 finns inte med i det svenska tangentbordet. Det är ett EPROM som endast ingår om tangentbordet ska generera koder som avviker från svensk standard.

Kretsen 74LS373 i pos Z8 är en 8-bit latch som används för att adressera de yttre minnena i pos Z10 och Z14.

Kretsen 74LS393 i pos Z6 används för att dela ner processorns ALE-signal (Address Latch Enable) till en klockfrekvens som är 16 x bithastigheten på tangentbordets serieutgång. ALE-signalen går även in till kretsen i pos Z5, som är en s.k. "watch-dog". Tangentbords-processorns programvara aktiverar regelbundet stift 13 på avkodaren i pos Z2, och därmed görs reset på räknaren i pos Z5. Om microprocessorns program av någon anledning skulle sluta exekveras eller gå fel, så resetas inte räknaren, och efter 16384 clockcykler går Q13 (pin 2) hög och genererar RESET* till mikroprocessorn.

Mikroprocessorn i pos Z16 handhar kommunikation mellan tangentbordets olika enheter och sänder data till datautgångarna. Processorn finns i två utföranden, 8035 och 8048. 8035 har sitt program i ett yttre minne i pos Z10, medan 8048 har ett internt programminne som är maskprogrammerat. När mikroprocessor 8048 används, bortfaller kretsen i pos Z10 samt adresslatchen i pos Z8. Processorn är programmerad att, för varje tangent, ge ASCII-koder enligt svensk standard (SIS 66 22 41, SIS 63 61 27). Om andra koder önskas måste en omvandlingstabell läggas i ett särskilt minne (pos Z14), och då måste även latches i pos Z8 vara med för att processorn ska kunna adressera minnet.

Även 8048 kan användas med yttre programminne. När EA-ingången (External Access), stift 7, sätts hög, kopplas det interna programminnet bort. Detta görs genom att bygglingen E3/E4, vid bygglingsfältet på tangentbordets undersida, tas bort.

Matrisen består av 12 ledningar i X-led och 8 ledningar i Y-led. I varje korsningspunkt mellan två ledningar ligger en tangent. Från processorn kommer en 4-bit adress till avkodaren i pos Z2. Adressen innehåller en X-koordinat till matrisen. En strobe-puls från processorn, stift 25, fördröjs i Z3 och Z4 och latchar sedan in X-adressen i avkodaren och samtidigt får bufferten i pos Z17, som buffrar Y-koordinat, en RESET-puls. X-avkodaren lägger ut en strobe på den valda koordinaten. Stroben består av 2 pulser som är 1 us långa med 50 us mellanrum. När en eller flera tangenter trycks ner så ökar kapacitansen mellan X och Y-ledningarna på tangentens position. Detta innebär att stroben kopplas kapacitivt från X-ledningen till Y-ledningen. Från bufferten, i pos Z17, kommer 8-bitars data, som motsvarar tillståndet hos de 8 Y-ledningarna. Processorn sätter ihop X-adressen och Y-buffertens utsignal, och omvandlar dem till en ASCII-kod, som motsvarar den nedtryckta tangenten.

Tangentbordet sänder och tar emot seriella data via kontakt J1.

Seriedata nycklas ut på processorns stift 36, P25, och buffras sen i grinden i pos Z9 innan det går vidare till datorn. Formatet är 1 startbit, 8 databitar och 2 stoppbitar (positiv logik). Hastigheten är 600 bit/s.

Processorn har en inbyggd klockoscillator som styrs av en yttre kristall på 4.608 MHz.

Reset av tangentbordet sker dels vid spänningstillslag, en kondensator på 68 uF ligger på RES-ingången och håller den låg tills matningsspänningarna har stabiliserats, dels via datorn, dels via knappen på baksidan av tangentbordet och även av en "watch-dog" i pos Z5.

Fyra specialtangenter finns: CAPS LOCK, CTRL samt två SHIFT. Dessa tangenter har inga egna ASCII-koder utan deras uppgift är att ställa om funktionen hos de övriga tangenterna, som härigenom kan tilldelas 8 olika koder var. CAPS LOCK är dubbelverkande så att första tryckningen aktiverar funktionen och andra tryckningen deaktiverar den. Aktivt tillstånd indikeras genom att lysdioden i tangenten lyser. CTRL och SHIFT är enkelverkande.

LOWER CASE	ex. abcd1234
SHIFT	ex. ABCD!"#
CRTL	specialkoder för t.ex. bildskärmskontroll.
CRTL+SHIFT	specialkoder för t.ex. bildskärmskontroll.
CAPS LOCK	ex. ABCD1234
SHIFT	ex. ABCD!"#
CRTL	specialkoder för t.ex. bildskärmskontroll.
CRTL+SHIFT	specialkoder för t.ex. bildskärmskontroll.

Tangenterna PF1-PF8 (ABC 77) ger unika koder för kombinationerna SHIFT, CTRL och SHIFT+CTRL. Sammanlagt 32 olika koder. På tangentbord ABC 55 får man samma funktioner som funktionstangenterna på följande sätt:

PF1 = CTRL+1
 PF2 = CTRL+2 etc.

SHIFT PF5 = CTRL + SHIFT + T
 CTRL + SHIFT PF8 = CTRL + SHIFT + K

Byglingar för val av landsvariant.

I mikroprocessorns programvara finns avkodning för två landsvarianter, Svensk och US ASCII. I ett separat avkodarprom finns sedan Dansk, Fransk, Spansk och Tysk avkodning. Detta är en option som monteras i promsockeln pos Z14 på tangentbordets kretskort.

Att välja landsvariant sker med byglingsfältet på tangentbordets undersida E3/E4 till E17/E18, samt byte av tangenttoppar för aktuellt land. Se tabell på byglingsmöjligheter.

Tangentbordet kan även styras programvarumässigt. Det sker med en styrkod, som sändes från datorn till tangentbordet. Styrbara funktioner är Bell, Lång klick, Kort klick, Tangentposition istället för ASCII-kod, Repetering till/från och CAPS LOCK.

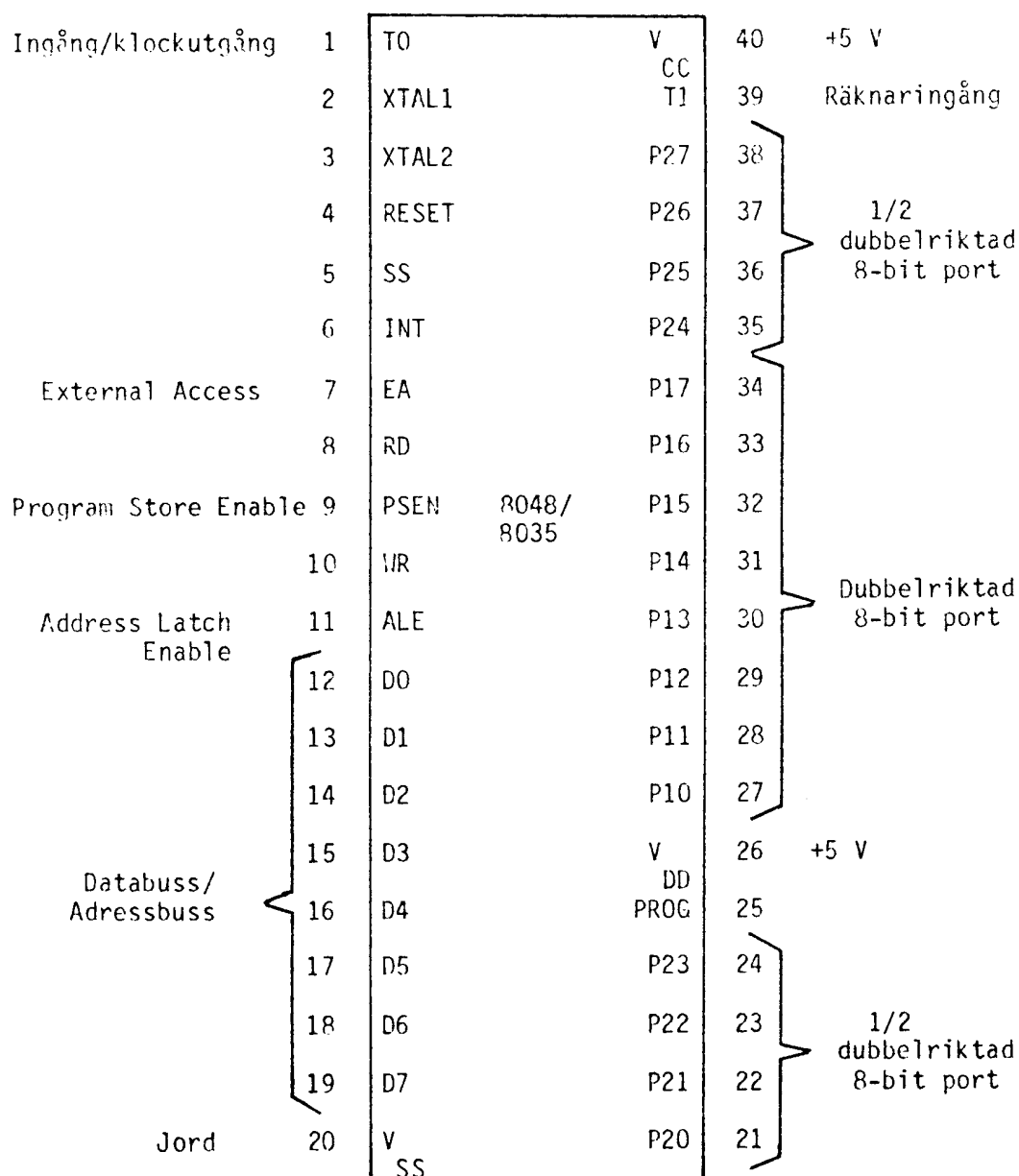
Styrkod sändes till tangentbordet med följande Basic sats:

OUT 34, kod.

Se tabell över styrkoder.

När tangentbordet är i s.k. Upp/Ned mod, så sänds en kod vid nedtryckning av tangent, och en kod när tangenten släpps upp. Detta gäller alla tangenter, även CAPS LOCK, CTRL och SHIFT. Se vidare i tabellen på sid ?? vilka koder som sänds vid nedtryckning.

I Upp/Ned mod kan tangentbordet inte själv generera klick vid tangenttryckning, utan det måste programvaran sköta om. Kommandon får inte sändas tätare än 20 ms till tangentbordet.



Tabell över styrkoder:

Kod	Funktion
1	Bell från
129	Bell till
2	5 ms klick från
130	5 ms klick till
4	20 ms klick från
132	20 ms klick till
5	Repetering från
133	Repetering till
6	Normal ASCII-kod mode
134	Upp/Ned-kod mode
7	Bell (pip i högtalaren)
8	CAPS LOCK från (Normal mode)
136	CAPS LOCK till (Normal mode)
8	CAPS LOCK indikator från (Upp/Ned mode)
136	CAPS LOCK indikator till (Upp/Ned mode)
9	ger 5 ms klick
10	ger 20 ms klick

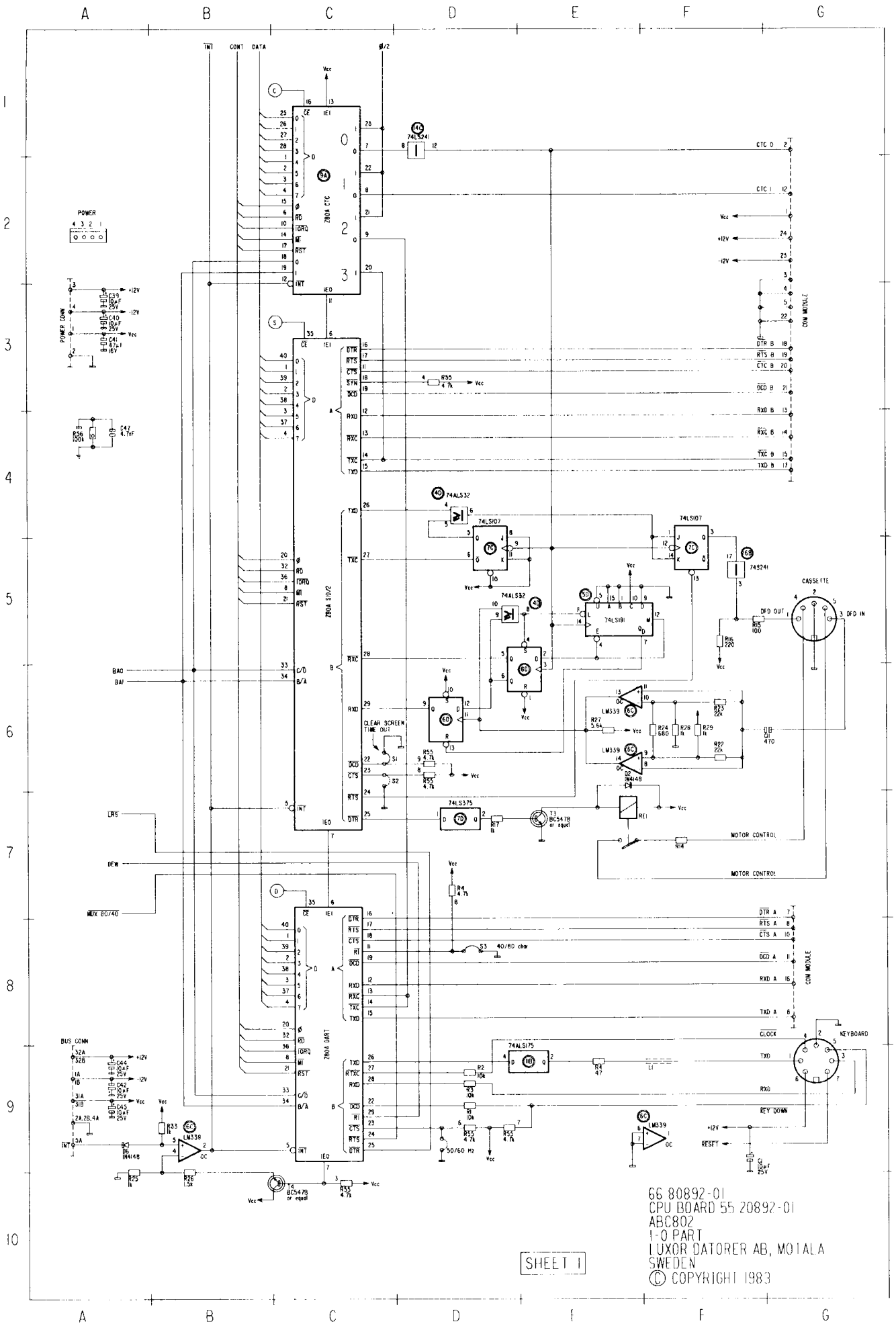
Tabell över koder vid Upp/Ned mode:

Tabellen visar hexadecimalt vilka koder som sänds vid nedtryckning. Släppkoden fås genom att addera 80H till värdet i tabellen.

!41!40!39!38!31!30!29!28!21!20!19!18!11!	!58!59!	!50!51!48!49!
!04!42!43!3A!3B!32!33!2A!2B!22!23!1A!1B! 12!	!5A!5B!	!52!53!4A!4B!
!05!44!45!3C!3D!34!35!2C!2D!24!25!1C!1D!14!	!5C!5D!	!54!55!4C! !
!07 !46!47!3E!3F!36!37!2E!2F!26!27! 06 !17!	!5E!5F!	! 56 !4F! !
! 1F !		

Tabell Byglingsmöjligheter:

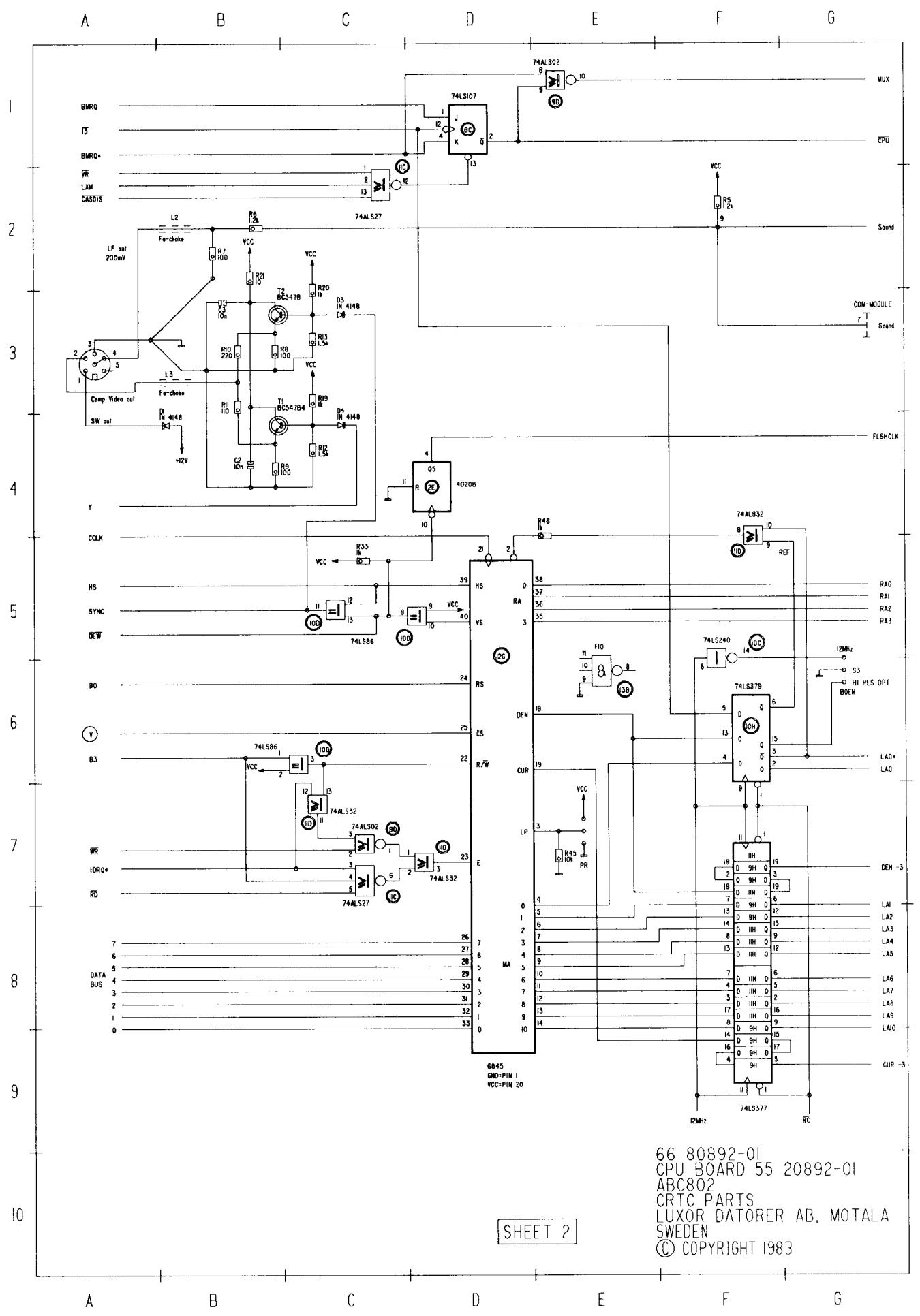
	Sluten	Öppen
E3/E4 E5/E6 E7/E8	Intern tab. i maskprog. processor Svenska koder Använd inte ext. omkodar prom	Externt prog. i prom Koder enl US ASCII Använd ext. omk. prom
	E9/E10 Öppen	Sluten
E11/E12 Öppen Sluten	Spansk Tysk	Fransk Dansk
E13/E14 E15/E16 E17/E18	Reserverade -" -"	



SHEET 1

66 80892-01
 CPU BOARD 55 20892-01
 ABC802
 I-O PART
 LUXOR DATORER AB, MOTALA
 SWEDEN
 © COPYRIGHT 1983

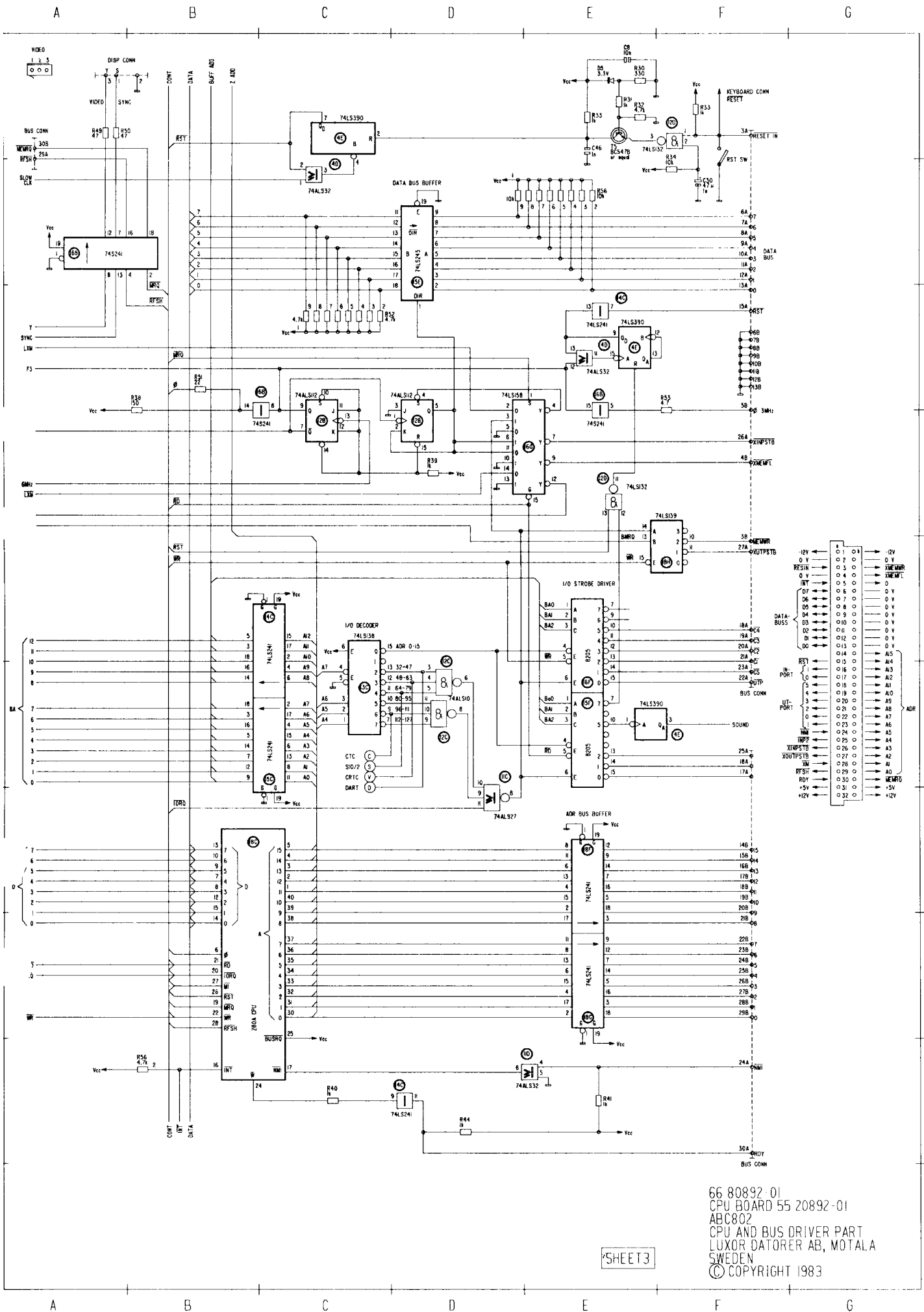
Skall vara tom



SHEET 2

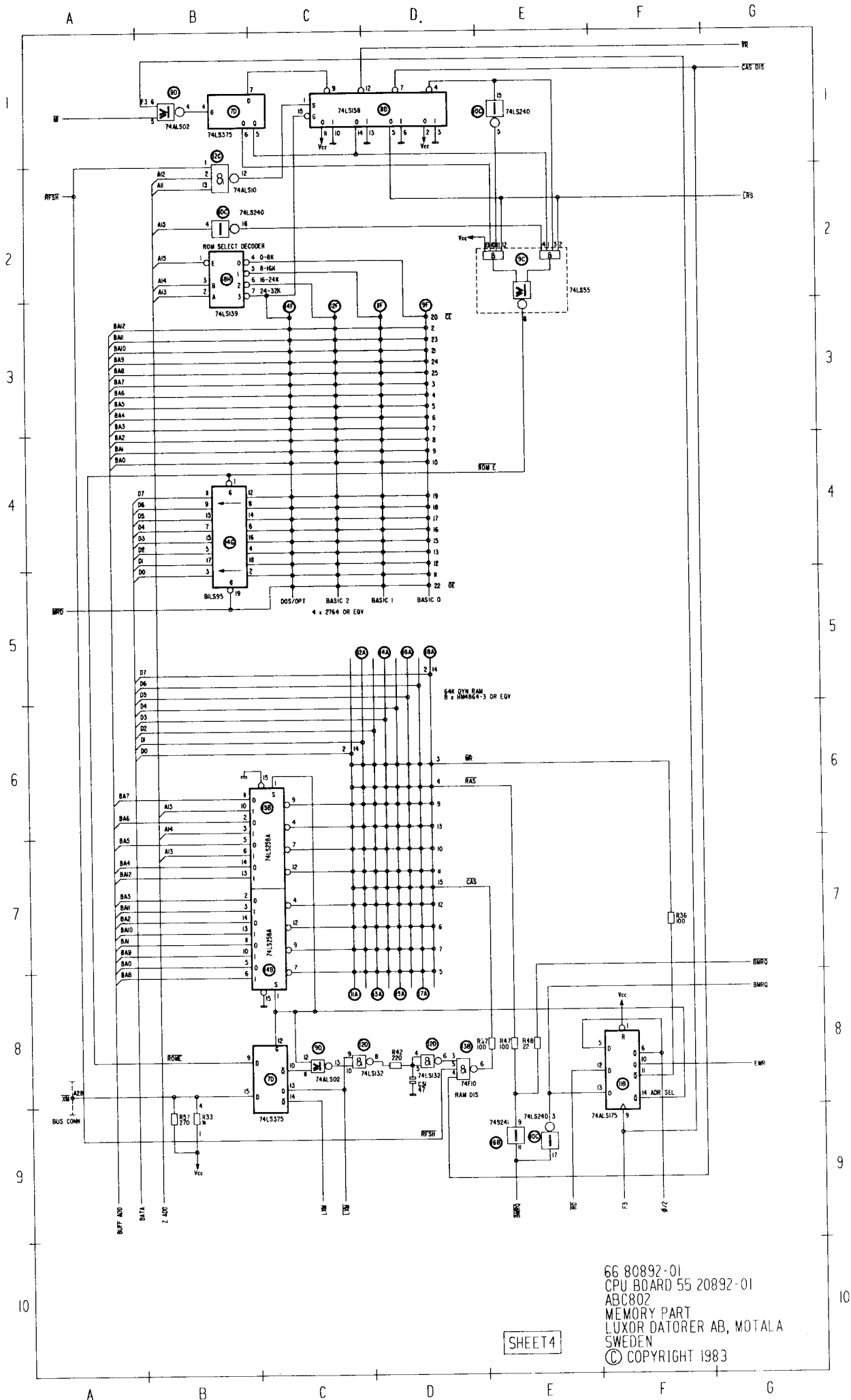
66 80892-01
 CPU BOARD 55 20892-01
 ABC802
 CRIC PARTS
 LUXOR DATORER AB, MOTALA
 SWEDEN
 © COPYRIGHT 1983

Skall vara tom



SHEET 3

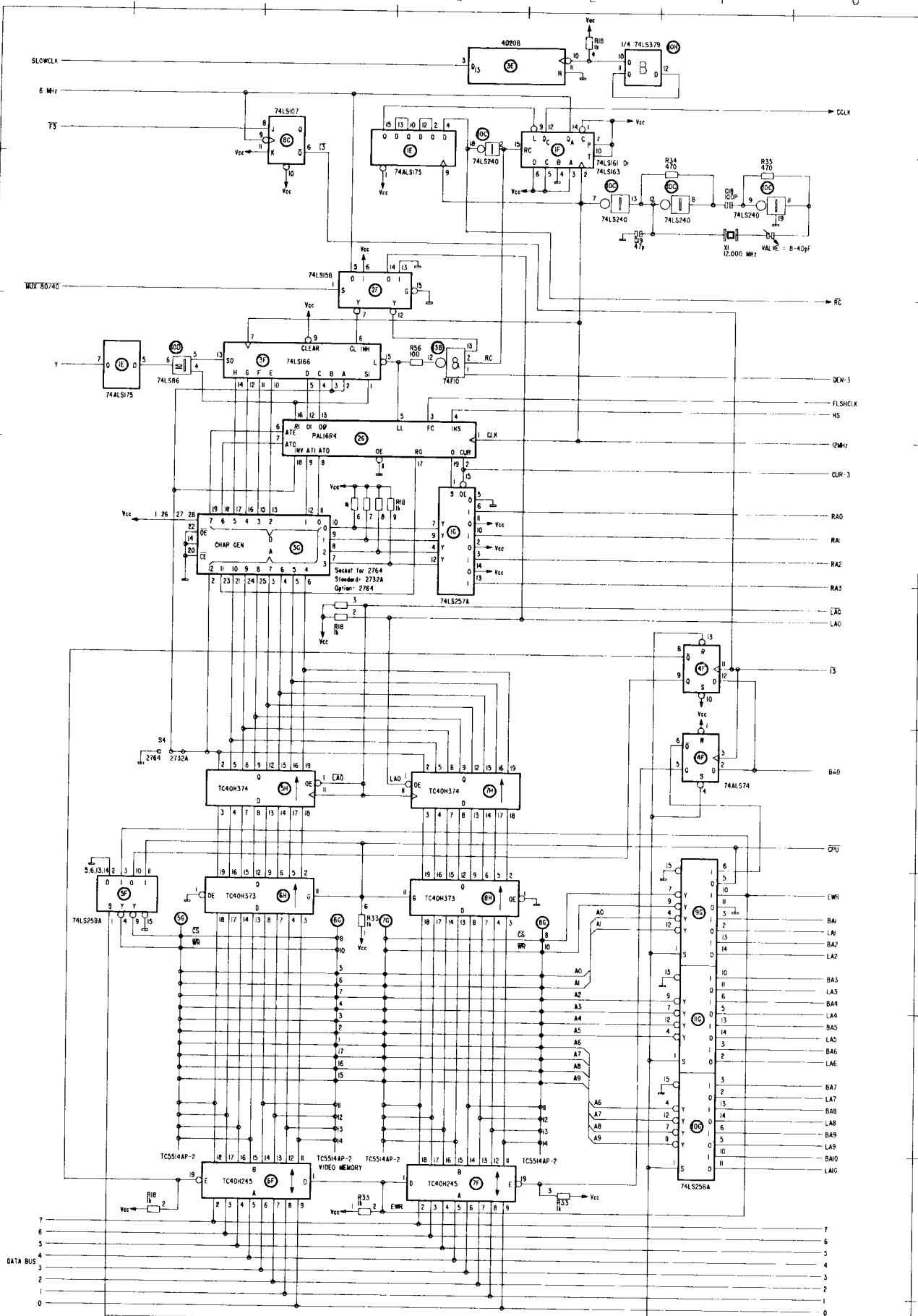
Skall vara tom



66 80892-01
 CPU BOARD 55 20892-01
 ABC802
 MEMORY PART
 LUXOR DATORER AB, MOTALA
 SWEDEN
 © COPYRIGHT 1983

SHEET 4

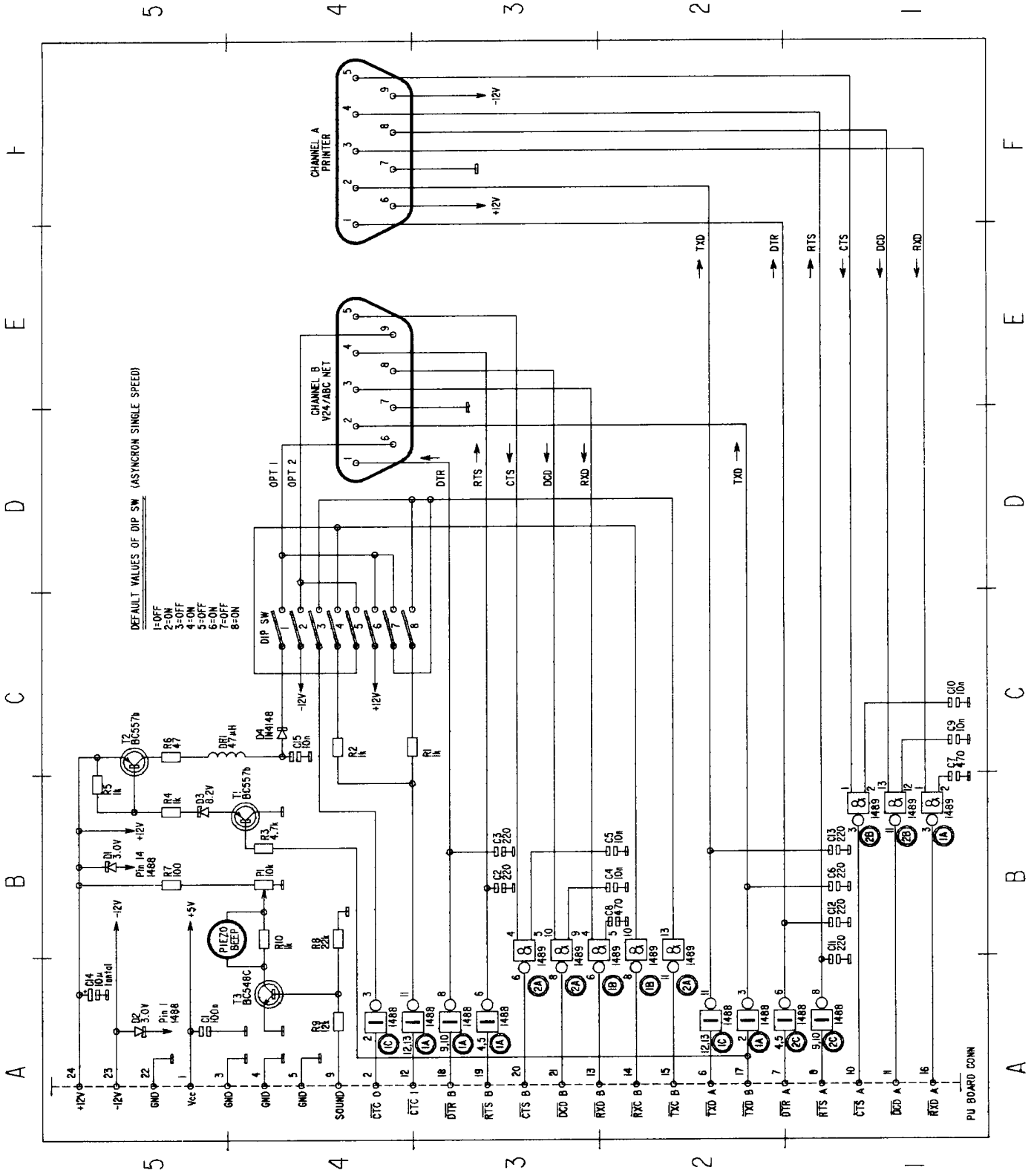
Skall vara tom



66 80892 01
 CPU BOARD 55 20892 01
 ABC802
 VIDEO MEMORY PART
 LUXOR DATORER AB, MOTALA
 SWEDEN
 © COPYRIGHT 1983

SHEET 5

Skall vara tom



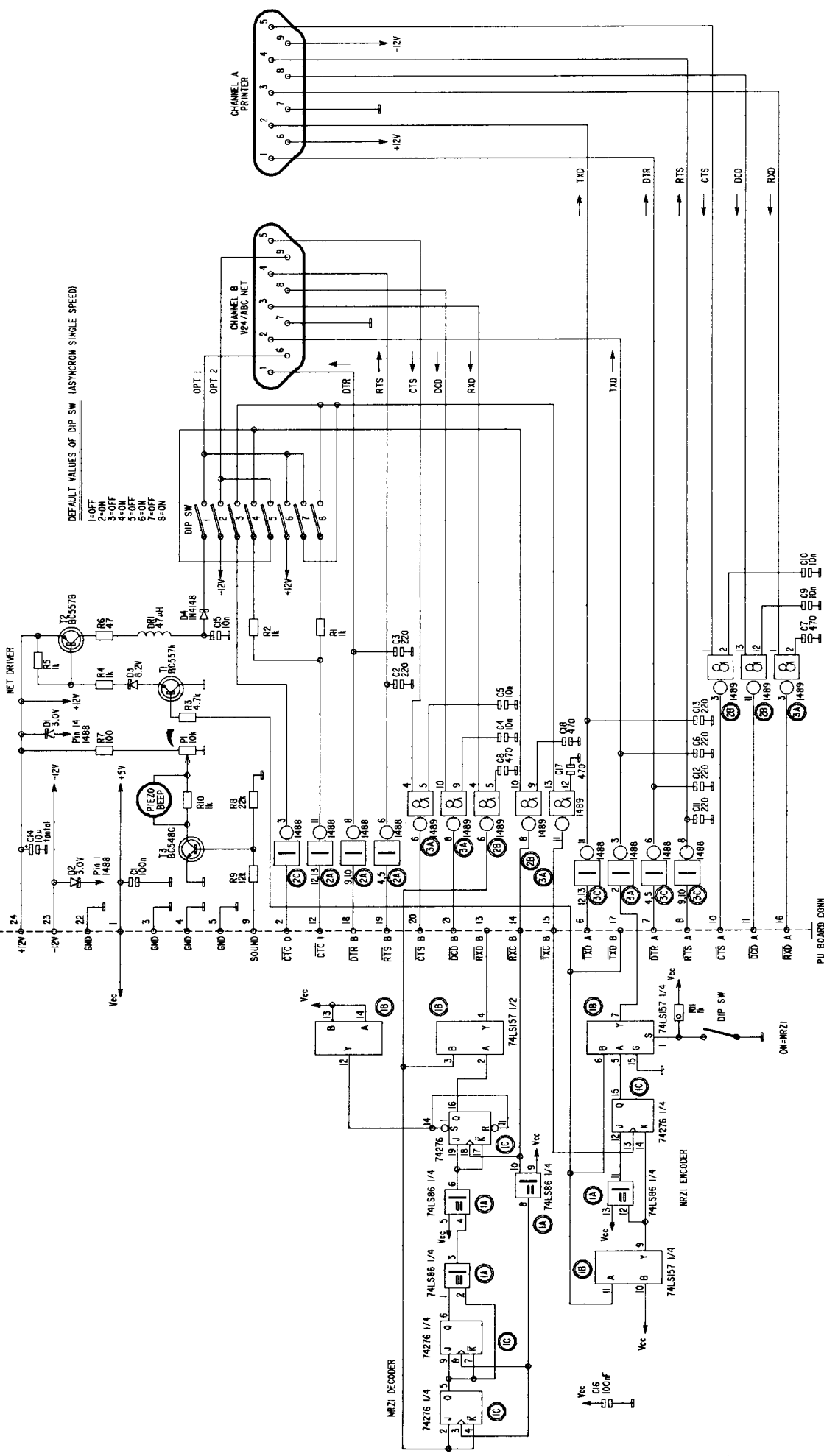
66 80893-01
 COM MODULE
 ABC802
 LUXOR DATORER AB, MOTALA
 SWEDEN
 © COPYRIGHT 1983

A D U U E T H I

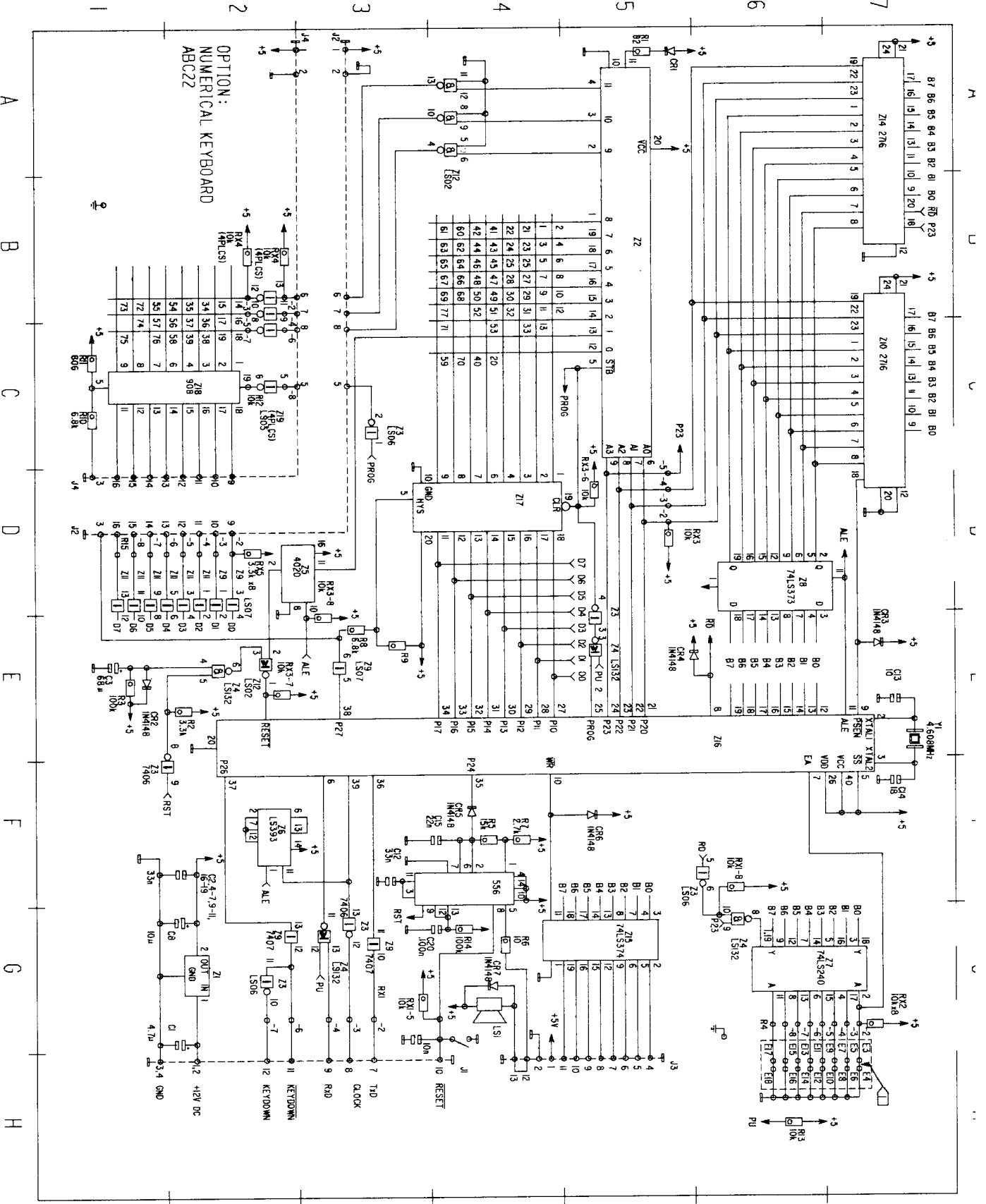
7 6 5 4 3 2 1

DEFAULT VALUES OF DIP SW (ASYNCHRON SINGLE SPEED)

- 1-OFF
- 2-ON
- 3-OFF
- 4-ON
- 5-OFF
- 6-ON
- 7-OFF
- 8-ON



66 80892-01
 NRZI COM MODULE
 ABC802
 LUXOR DATORER AB, MOTALA
 SWEDEN
 © COPYRIGHT 1983



66 88055-01
 KEYBOARD
 ABC55/ABC77
 LUXOR DATORER AB, MOTALA
 SWEDEN
 © COPYRIGHT 1983

Skall vara tom

Skall vara tom

LUXOR
Datorer